

SESSION DE 2008

---

**CONCOURS EXTERNE  
DE RECRUTEMENT DE PROFESSEURS AGRÉGÉS**

**Section : GÉNIE ÉLECTRIQUE**

COMPOSITION D'ÉLECTRONIQUE

Durée : 6 heures

---

Calculatrice électronique de poche, y compris programmable, alphanumérique ou à écran graphique, à fonctionnement autonome, non imprimante, autorisée conformément à la circulaire n° 99-186 du 16 novembre 1999.

Dictionnaire technique anglais-français autorisé.

L'usage de tout ouvrage de référence, de tout autre dictionnaire et de tout autre matériel électronique est rigoureusement interdit.

*Dans le cas où un(e) candidat(e) repère ce qui lui semble être une erreur d'énoncé, il (elle) le signale très lisiblement sur sa copie, propose la correction et poursuit l'épreuve en conséquence.*

*De même, si cela vous conduit à formuler une ou plusieurs hypothèses, il vous est demandé de la (ou les) mentionner explicitement.*

**NB :** *Hormis l'en-tête détachable, la copie que vous rendrez ne devra, conformément au principe d'anonymat, comporter aucun signe distinctif, tel que nom, signature, origine, etc. Si le travail qui vous est demandé comporte notamment la rédaction d'un projet ou d'une note, vous devrez impérativement vous abstenir de signer ou de l'identifier.*

Tournez la page S.V.P.

## **Etude d'un appareil photographique numérique**

### **Avertissement**

**Il est instamment recommandé de traiter toutes les parties du problème et de consacrer à chacune un temps de travail proportionné.**

**Chaque partie devra être rédigée sur une (des) copie(s) séparée(s).**

**Il est recommandé de traiter les questions dans l'ordre proposé.**

Un **appareil photographique numérique** est un appareil photographique qui capte la lumière sur un support de type électronique et qui convertit l'information reçue par ce support pour la coder numériquement. Un appareil photo numérique utilise un capteur CCD ou CMOS pour acquérir les images, et les enregistre sur des cartes mémoire

**Historique**

Tout remonte à l'invention du capteur CCD en 1970. Apparaissent alors les premières caméras vidéo destinées aux particuliers. Le constructeur Sony décide en 1981 d'utiliser ses connaissances dans le domaine de la vidéo pour fabriquer un appareil photo magnétique. Un disque magnétique permet le stockage de 50 images en couleurs d'une définition de 490 × 570 points (280 000 pixels), au format NTSC. En 1989, Canon propose le *Xapshot*, destiné au grand public, qui dispose d'une définition de 786 × 300 points. En 1991, le département *Kodak Digital Science* de Kodak sort un *dos numérique* pour un appareil photo reflex classique, le Nikon F3. À partir de 1995-1996 apparaissent des appareils photo numériques tels que nous les connaissons à l'heure actuelle, équipés d'un écran LCD en couleurs à l'arrière. L'explosion du marché se produit vers 1997-1998 avec une rapide multiplication des modèles. La définition, d'abord inférieure au million de pixels, croît rapidement, jusqu'à dépasser les 12 millions en 2006.

**Prise de vue numérique**

**Capture**

Les systèmes optiques (objectif, viseur optique, chambre reflex), de ces appareils sont voisins des solutions argentiques, à l'exception de l'obturateur qui n'est pas nécessaire. Un composant électronique sensible à la lumière, le capteur traduit les informations lumineuses en signaux électriques. L'image est traduite en une matrice de valeur de luminance, l'image numérique qui sera, après traitement, stockée dans un dispositif de mémoire électronique, généralement une carte mémoire flash de petit format. La petite taille des capteurs donne aux objectifs d'appareils numériques une profondeur de champ supérieure à celle d'un appareil argentique à cadrage identique.

En fonction de l'appareil et des réglages, les points (pixels) de l'image sont traités de manière à améliorer le rendu : interpolation pour reconstituer les couleurs, filtrage pour diminuer le rapport signal sur bruit, accentuation pour augmenter la netteté, correction des couleurs (balance des blancs), etc.

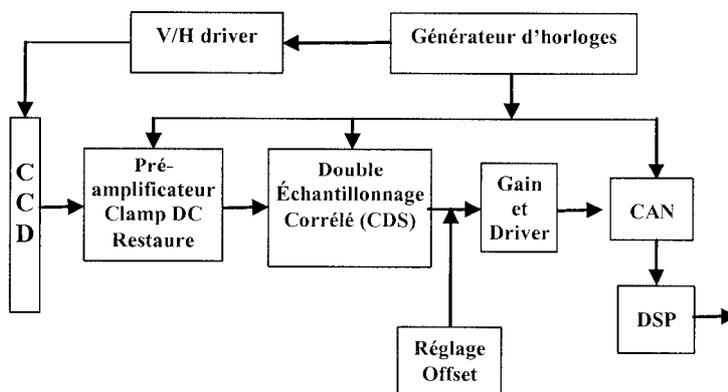
**Transfert et stockage**

Ces informations résultantes sont groupées dans un fichier informatique. On rencontre deux grandes familles de fichiers : les fichiers JPEG sont des fichiers compressés. L'électronique de l'appareil applique l'algorithme de compression en fonction du taux sélectionné ; Les fichiers RAW sont des fichiers « propriétaires » (dont la définition n'est pas publiée), propres à chaque fabricant contenant toute l'information captée après traitement mais avant toute compression. Enfin, en plus de l'image proprement dite, ces fichiers transportent des informations sur les conditions de prises de vue (en-tête Exif), qui peuvent être lues totalement ou partiellement par de nombreux logiciels. Le transfert des données peut être fait par un câble (USB en général), par extraction et lecture de la carte mémoire sur un ordinateur.

**Organisation d'un système d'acquisition d'image**

La technologie CCD (Charge Coupled Device), a accru la résolution à des coûts de fabrication très bas. Cependant, certaines des contraintes typiques des CCD restent inchangées, comme le niveau très bas du signal de sortie et les sources de bruit inhérentes. En outre, la résolution implique une vitesse de lecture élevée.

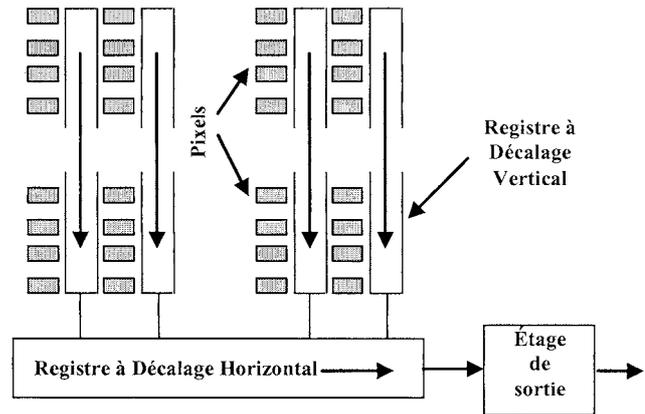
Le capteur CCD est l'élément central dans un système d'acquisition d'image. Le concepteur doit maîtriser les contraintes sur le traitement du signal issu du CCD afin de d'obtenir les performances maximales. Le signal de sortie du CCD est un flux constant de pixels. Ceci explique la forme typique de la tension formée de niveaux constants. Ce signal de sortie comporte également une tension continue de polarisation de plusieurs volts. Le signal traverse un étage d'adaptation et d'amplification faible bruit. L'étape suivante doit permettre une réduction de bruit, le détail du circuit spécifique aux CCD: le double échantillonneur corrélé (CDS). Suit un étage amplificateur à commande automatique de gain (AGC), ou à gain fixe avec offset ajustable. Avant l'entrée dans le convertisseur analogique numérique.



Le capteur CCD est l'élément central dans un système d'acquisition d'image. Le concepteur doit maîtriser les contraintes sur le traitement du signal issu du CCD afin de d'obtenir les performances maximales. Le signal de sortie du CCD est un flux constant de pixels. Ceci explique la forme typique de la tension formée de niveaux constants. Ce signal de sortie comporte également une tension continue de polarisation de plusieurs volts. Le signal traverse un étage d'adaptation et d'amplification faible bruit. L'étape suivante doit permettre une réduction de bruit, le détail du circuit spécifique aux CCD: le double échantillonneur corrélé (CDS). Suit un étage amplificateur à commande automatique de gain (AGC), ou à gain fixe avec offset ajustable. Avant l'entrée dans le convertisseur analogique numérique.

## Organisation interne

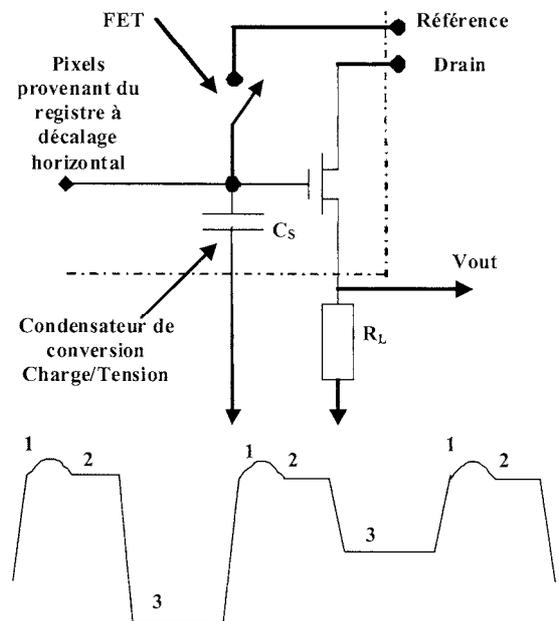
Le capteur CCD est organisé en de multiples registres à décalage verticaux et habituellement un registre à décalage horizontal, chacun deux requiert des horloges différentes. Le flux s'effectue comme suit : le pixel convertit la lumière (photons entrants) en électrons qui sont stockés en tant que charge électrique. Ensuite la charge est transférée vers le bas du registre vertical comme avec un convoyeur au registre à décalage horizontal. Celui-ci rassemble les pixels d'une ligne et les transporte en série à l'étage de sortie qui convertit la charge en une tension. Cette tension est alors disponible en sortie elle a la forme d'impulsion.



Avec un capteur CCD standard, la plupart des pixels détecte la lumière. Il possède également de petites sections au début et à la fin de chaque segment vertical qui sont couverts et donc correspondent à un « noir optique ». Ces pixels auront toujours le niveau de tension représentant le noir. Certains circuits de traitement d'image les exploitent comme pixels de référence pour ajuster l'offset du signal.

## Étage de sortie interne

Le schéma ci-contre représente l'étage de sortie d'un capteur CCD. Cet étage est chargé de la détection de la charge. La charge  $e^-$  est entrée dans le registre à décalage horizontal. Le transfert de chaque charge est commandé par l'horloge horizontale puis stockée dans le condensateur de conversion ( $C_S$ ). Une valeur typique pour un tel condensateur est 0,1pF à 0,5pF. La charge représentant l'intensité de la lumière pour ce pixel est convertie en une tension par le condensateur  $C_S$ . Un transistor MOSFET configuré en suiveur isole le condensateur, il est relié à la résistance de charge,  $R_L$ . Le signal représentant l'image est alors disponible en  $V_{out}$  pour un traitement numérique.



Comme indiqué dans la figure ci-contre, la tension de sortie est constituée d'une série de tensions continues. Une période de pixel se compose de trois niveaux différents : (1) l'« initialisation », (2) le « niveau de référence », (3) et le « niveau du pixel ».

Une séquence de sortie commence par l'initialisation du condensateur  $C_S$ . Le commutateur est fermé, le condensateur de sens est chargé à la tension initiale de référence. Cette tension peut être élevée, jusqu'à 12V. La fermeture du commutateur provoque une surtension au-delà de la tension d'alimentation ceci est du au couplage capacitif avec transistor MOSFET. Après décroissance de cette surtension, le condensateur reflétera la référence (niveau de tension 2). Une fois que le condensateur a été initialisé, le commutateur s'ouvre et la charge du pixel est transférée au condensateur.

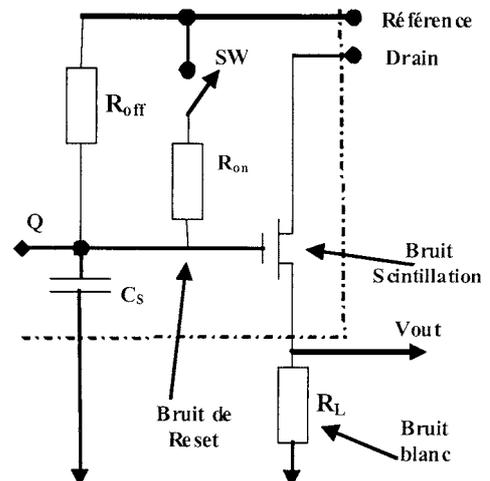
Une caractéristique importante des capteurs CCD est la sensibilité. C'est la valeur de la tension par électron,  $S_V = V_{OUT}/e^-$ . (en  $\mu V/\text{électron}$ )

## Limitation des performances

Le principal facteur limitant les performances est le bruit. Les sources de bruits sont :

- Étage de sortie : bruit  $kT/C$
- Semi-conducteur : bruit blanc, scintillation
- Résistances : bruit thermique
- CAN : bruit de quantification
- Réseau : 50 ou 60Hz

La limite inférieure de la dynamique d'un système d'acquisition d'image est fixée par le plancher de bruit. Différentes méthodes sont utilisées pour maximaliser la dynamique et optimiser le signal à l'entrée du convertisseur A/N mais une bonne connaissance des sources de bruit est



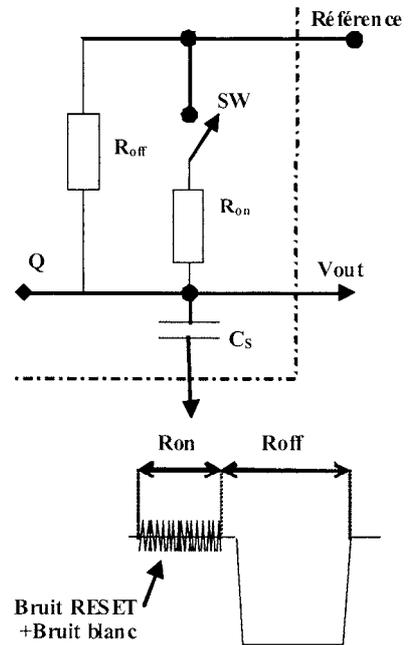
nécessaire. La principale source de bruit est appelé bruit en  $kT/C$  il est dû à la résistance du canal du FET.

Le transistor MOSFET contribue lui aussi au bruit : du bruit de scintillation (en  $1/f$ ) et du bruit blanc d'origine thermique. D'autre part, chaque résistance est une source de bruit blanc d'origine thermique. Le bruit de quantification vaut  $q/\sqrt{12}$ , avec  $q$  la valeur du LSB du convertisseur

### Bruits de l'étage de sortie

C'est encore en observant l'étage de sortie du CCD qu'on peut identifier les différentes sources de bruits.

- **BRUIT DE RESET** : le bruit thermique produit par la résistance  $R_{ON}$  du canal du FET SW. Ce bruit est souvent désigné par le terme bruit en  $kT/C$  (exprimé en charge équivalente d'électrons) avec une valeur typique de 100 à 300 électrons, c'est la principale limite de détection de signaux de faible valeur.
- **BRUIT DE SCINTILLATION** : dénommé aussi bruit en  $1/f$  (flicker noise). Il est produit par le MOSFET, il est dû aux défauts du cristal de silicium.
- **BRUIT BLANC** : il dépend de la température et vaut  $\sqrt{4kTRB}$ , il est en particulier dû à la résistance  $R_L$ .



### Le bruit de reset

Les composants à l'origine du bruit de reset sont le condensateur  $C_S$  et l'interrupteur SW représenté par sa résistance à l'état passant  $R_{ON}$ . Le condensateur est considéré comme non bruyant. Toutefois, dans le cadre d'un système échantillonné, il présente un bruit dû au reset périodique. À la résistance de l'interrupteur, est associé un bruit thermique. Ce bruit est transféré au condensateur lorsque l'interrupteur est ouvert. Comme la résistance  $R_{ON}$  est petite, le bruit diminue, mais la bande passante (RC) augmente. Le bruit est calculé de la façon suivante :

Le bruit thermique de la résistance vaut :  $e_n = \sqrt{4kTRB}$  (Vrms) avec :

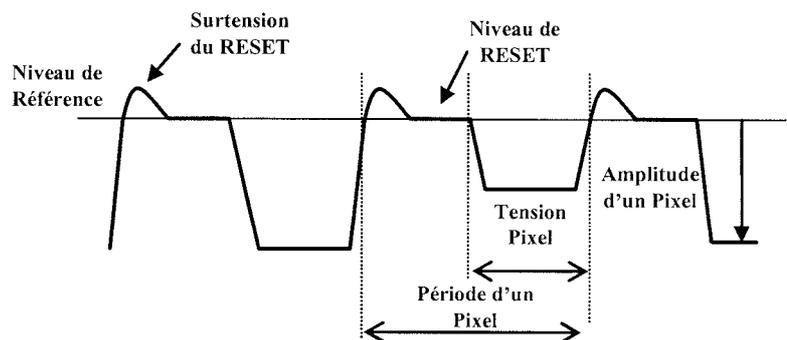
- $k$  constante de Boltzman ( $1,38054 \cdot 10^{-23}$ ),  $T$  température absolue en kelvin ( $298K=25^\circ C$ )
- $R$  résistance à l'état passant de l'interrupteur en  $\Omega$ ,  $B$  bande passante de bruit en Hz

### Le bruit blanc

Le bruit blanc est produit par toute résistance et tout conducteur. La tension de bruit en Vrms est proportionnelle à la température  $T$ , la bande passante  $B$  et à la résistance  $R$  :  $e_{nw} = \sqrt{4kTRB}$

### Le signal de sortie du capteur CCD

Le chronogramme ci-contre représente le signal de sortie d'un capteur CCD. Ce signal peut être décrit au travers de cinq caractéristiques : la surtension du reset, le niveau du reset, l'amplitude du signal, la période pixel et la durée du pixel. Le signal de sortie n'est pas une sinusoïde mais une séquence de niveaux de tensions continues.

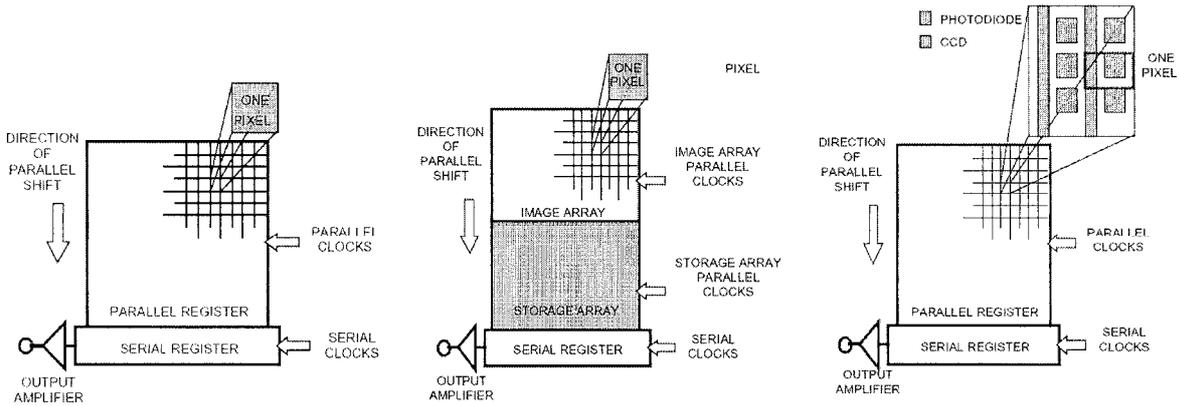
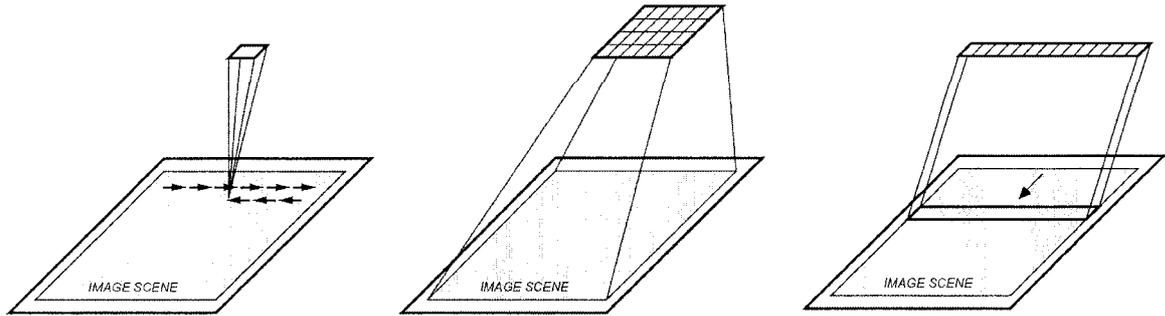


La séquence pour un pixel est constituée de :

- La surtension du reset : c'est une impulsion qui peut être relativement longue et qui est due au couplage capacitif du FET.
- Le niveau de reset : le condensateur de conversion  $C_S$  est chargé à la tension finale de reset. Cette tension peut atteindre la valeur de 10V ou plus, nécessitant l'introduction d'un condensateur de découplage en sortie du capteur CCD.
- L'amplitude du signal : après la séquence de reset, le pixel est transféré. L'amplitude correspond à la charge produite par l'intensité de la lumière captée par le pixel. Comme la charge de l'électron est négative, cette tension est intrinsèquement négative.

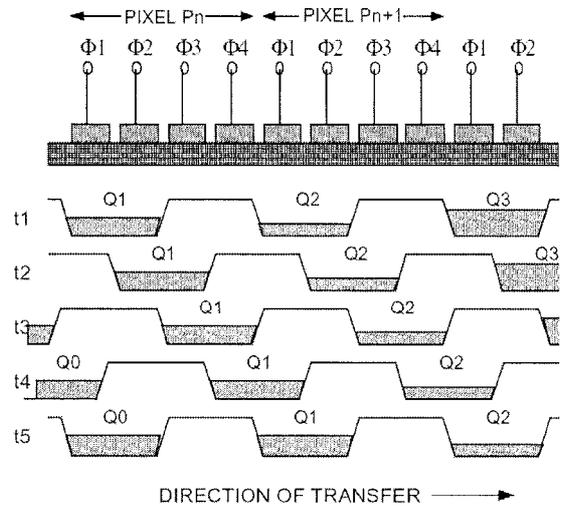
Le taux de transfert est compris entre 1Mpixels/s et 20Mpixels/s.

## Formats et architecture des capteurs CCD



### Capteur CCD quatre phases

Les registres à décalage du capteur CD sont constitués d'électrodes en polysilicium formant une suite de grilles chaînées entre elles le long d'un axe constituant une colonne. Si une tension élevée est appliquée à l'une de ses grilles, un puit de potentiel se forme sous la grille jusqu'à ce qu'une tension basse forme une barrière de potentiel. Quatre grilles sont utilisées par pixel, pendant la phase d'intégration, si nous portons la tension des grilles  $\Phi_1$  et  $\Phi_2$  au niveau haut pendant que nous maintenons les grilles  $\Phi_3$  et  $\Phi_4$  au niveau bas, nous formons ainsi un puit de potentiel qui intègre et accumule les charges produites par les photons sur le pixel  $P_n$ . Si les grilles  $\Phi_1$  et  $\Phi_3$  changent de polarité le paquet de charges et contraint de se déplacer sous  $\Phi_2$  et  $\Phi_4$ . Maintenant  $\Phi_2$  et  $\Phi_4$  inversent leurs polarités les charges se déplacent plus loin occupant le puit formé par les électrodes  $\Phi_3$  et  $\Phi_4$ . Ce processus déplace les charges sous les grilles  $\Phi_1$  et  $\Phi_2$  du pixel suivant  $P_{n+1}$ , cela termine le cycle de transfert.



Le paquet de charge est décalé vers la sortie afin que les électrons (qui représentent des charges) soient convertis en tension. Une grille flottante suivie d'un amplificateur suiveur est couramment utilisée.

La première étape est la mise à zéro de la grille flottante au travers d'une grille de reset  $\Phi_R$  et d'un drain de reset  $RD$  cela fixe le potentiel zéro. Ce niveau zéro est converti en tension il constituera le niveau de référence.

La charge est ensuite décalée, elle tombe dans la zone de diffusion flottante. La variation de potentiel qui s'en suit est convertie en une tension disponible sur la broche de sortie. La différence entre la référence (zéro) et le potentiel de la grille flottante constitue le signal image du pixel.

## QUESTIONS

### I. Organisation fonctionnelle (*On consultera les documents techniques (DT) nécessaires*)

Le cahier des charges fonctionnel de cet appareil numérique conduit à la description suivante :

**Fonction d'usage :** Acquérir une image, la stocker sur un support numérique.  
Transférer les images vers un téléviseur ou un ordinateur.

**Fonctions contraintes :**

- Fc1 : Alimentation autonome
- Fc2 : Affichage sur un écran LCD
- Fc3 : Différents programmes de prise de vue et de réglages
- Fc4 : Autofocus
- Fc5 : Dimensions réduites
- Fc6 : Flash intégré
- Fc7 : Coût inférieur à 400€

**Q1.** Proposer un diagramme FAST correspondant aux fonctions ci-dessus.

**Q2.** Compléter le FAST de la fonction « Acquérir l'image » (Document réponse **DR1**)

**Q3.** Compléter le schéma fonctionnel de FP1. (Document réponse **DR2**)

**Q4.** Proposer un GRAFCET du point de vue système pour la prise d'une photo.

### II. Acquisition de l'image – Capteur CCD approche externe

L'objectif de l'appareil photographique est assimilable à une lentille.

**Q5.** Rappeler les caractéristiques optiques de l'appareil numérique.

**Q6.** Déterminer les focales extrêmes de cet appareil.

Le capteur CCD est centré sur l'axe de la lentille. On suppose que la mise au point est faite sur l'infini.

**Q7.** De combien et dans quel sens faut-il déplacer la lentille si on veut photographier un objet situé à 5m ?

**Q8.** Dans le cas de la mise au point à l'infini, l'objet étant à 5m déterminer les dimensions de la portion de plan photographiée. Préciser le grandissement angulaire.

**Q9.** En déduire les dimensions de l'objet représenté par un pixel pour les deux focales extrêmes.

L'acquisition de l'image peut se faire suivant trois procédés : acquisition d'un point, d'une ligne ou d'une surface.

**Q10.** Décrire le fonctionnement de ces trois procédés. Indiquer les avantages et les inconvénients de chacun d'eux.

Le capteur utilisé dans cette application est constitué de cellules photoélectriques et de registres à décalages permettant d'extraire chacun des pixels. Il existe trois types d'architectures permettant d'extraire les pixels : Full Frame (FF), Frame Transfert (FT) et Interline (IL).

**Q11.** Décrire chacune de ses architectures. Indiquer les avantages et les inconvénients de chacune d'elles.

L'acquisition est effectuée en 3 étapes :

- a. L'**exposition** qui convertit la lumière en une charge électrique dans des zones appelées pixels ;
- b. Le **transfert de charges** qui permet de déplacer des paquets de charges sur le substrat de silicium ;
- c. La **conversion** des charges en une tension et l'amplification en sortie.

**Q12.** Représenter, sur le document réponse **DR3**, les chronogrammes des signaux  $\Phi_1$ ,  $\Phi_2$ ,  $\Phi_3$  et  $\Phi_4$ . Préciser le rôle de chacun d'eux.

**Q13.** Identifier les caractéristiques du capteur ICX406AQ. (procédé d'acquisition de l'image, architecture, fonctionnement, format, nombre de pixels, dimensions)

**Q14.** À partir des chronogrammes décrivant le fonctionnement du capteur identifier les différentes phases décrites dans la question Q12.

Pour les parties qui suivent, vous vous réfèrerez aux documents **DT2 à DT8**.

### III. Acquisition de l'image – Capteur CCD mise en œuvre

**Q15.** Indiquer quel mode est actif lors de la mise sous tension de l'appareil. Identifier les fonctions qui sont actives dans ce cas.

Lors de l'appui sur le déclencheur **TRG**, la phase d'exposition est active, sa durée dépend des conditions d'éclairément. Le mode « Frame readout » est ensuite activé.

**Q16.** Indiquer quel mode est actif lors de la mise sous tension de l'appareil. Identifier les fonctions qui sont actives dans ce cas.

**Q17.** Identifier et décrire les modes de fonctionnement du capteur.

Dans la suite on se placera dans le mode « Frame readout » et on considèrera une image au format PAL 3,57 image/s.

**Q18.** Compléter le document réponse **DR4**.

**Q19.** Indiquer les évènements déclenchant et arrêtant la phase d'exposition.

**Q20.** Les signaux  $V_{VD}$  et  $V_{HD}$  sont fournis par un ASIC gérant le séquencement du capteur. Décrire leur rôle.

**Q21.** Calculer le temps mis pour extraire une image.

**Q22.** Déterminer les durées, minimales, à l'état bas et à l'état haut du signal  $V_{VD}$ .

**Q23.** Déterminer les durées, minimales, à l'état bas et à l'état haut du signal  $V_{HD}$ .

**Q24.** Déterminer la fréquence de l'horloge d'extraction des pixels.

**Q25.** Analyser le rôle des pixels « black ».

**Q26.** Identifier la phase de fonctionnement correspondant au chronogramme intitulé : « Drive Timing Chart (High-speed Sweep Operation) »

**Q27.** Calculer la période et la durée à l'état haut des signaux  $V_{1A,1B}$  et  $V_{3A,4B}$ .

**Q28.** Repérer  $V_2$  et  $V_4$  par rapport à  $V_{1A,1B}$  et  $V_{3A,4B}$ . Indiquer la durée de cette organisation.

**Q29.** Déterminer l'ordre d'extraction des pixels.

**Q30.** Proposer une organisation de la mémoire de stockage des pixels.

Grâce à un filtre, dit de Bayer, constitué de cellules colorées des couleurs primaires, chaque pixel du capteur ne voit qu'une seule couleur : rouge, vert ou bleu. Sur chaque groupe de 4 pixels on trouve un pixel pour le bleu, un pixel pour le rouge et deux pixels pour le vert ; cette répartition correspond à la sensibilité de notre vision.

**Q31.** Indiquer la nature de ce filtre. Justifier.

**Q32.** Représenter le contenu des plans mémoires R, V, B avant et après filtrage.

**Q33.** Proposer une méthode de reconstruction des informations absentes

**Q34.** Écrire un algorithme permettant de reconstituer les couleurs manquantes.

**Q35.** Indiquer les inconvénients de ce procédé de reconstruction. Donner un exemple mettant en évidence des aberrations lors de la reconstruction de l'image.

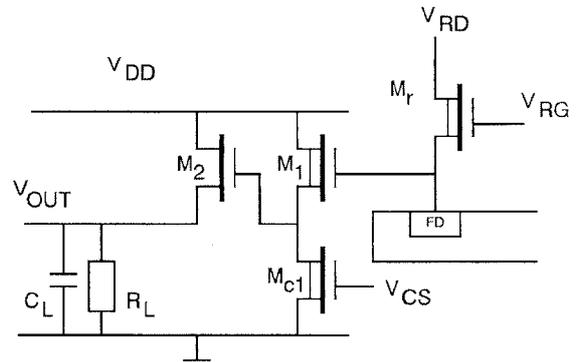
**Q36.** Retrouver dans le cas d'une image les notions d'échantillonnage, de quantification, de fréquence de Nyquist.

**Q37.** Indiquez les défauts susceptibles de se produire en cas de non respect du critère de Nyquist.

#### IV. Acquisition de l'image – Capteur CCD étage de sortie

La principale caractéristique de l'amplificateur interne au capteur CCD est la conversion d'un paquet de charges en tension ou en courant. Outre cette conversion, il doit avoir de bonnes caractéristiques vis-à-vis du bruit et doit être capable de piloter la charge externe à la fréquence de lecture des pixels.

Une méthode pour détecter les charges est d'utiliser une zone de diffusion flottante (FD) qui, avec l'entrée de l'amplificateur interne, constitue un nœud capacitif. La tension  $V_{RG}$  commande le reset après la lecture de chaque pixel.



**Q38.** Déterminer la nature des étages  $M_1$ ,  $M_2$  et de  $M_{C1}$ .

**Q39.** Déterminer la valeur de  $V_{OUT}$ .

En considérant une valeur de  $0,1\text{pF}$  pour le condensateur équivalent au nœud capacitif (FD).

**Q40.** Calculer la sensibilité  $S_V$  du capteur CCD.

Le modèle du capteur CCD possède un seul pôle (voir introduction, paragraphes « Etage de sortie interne » et suivants).  $B$  est la bande passante à  $-3\text{dB}$  multipliée par  $\pi/2$ , que nous noterons  $NBW$ .

**Q41.** En prenant :  $C_S=0,1\text{pF}$ ,  $R_{ON}=2\text{k}\Omega$ , calculer  $NBW$  puis le bruit de reset  $e_{nr}$ .

**Q42.** En considérant que la plus petite charge détectable est l'électron, déterminer (en électrons) la valeur du bruit de reset.

**Q43.** La résistance de sortie d'un capteur CCD, incluant la charge, est comprise entre  $200\Omega$  et  $20\text{k}\Omega$ . Déterminer les valeurs extrêmes du bruit blanc,  $e_{nw}$ , pour une bande passante  $B = 1\text{MHz}$ .

**Q44.** Avec un signal d'amplitude maximale  $1\text{V}$ , déterminer le rapport signal sur bruit puis le nombre minimum de bits sur lequel devra se faire la conversion analogique numérique.

#### V. Acquisition de l'image – Conversion A/N

**Q45.** Expliquer le rôle du circuit CXD3400N.

**Q46.** Compléter les chronogrammes du document réponse **DR5**.

La tension représentant l'intensité lumineuse est transmise à un circuit qui va assurer, entre autre la conversion, analogique numérique.

**Q47.** Analyser le fonctionnement de l'ensemble organisé autour du transistor  $Q_1$  (DT8). Déterminer le rôle du condensateur  $C_7$ .

**Q48.** Justifier le choix de ce transistor.

**Q49.** En déduire la tension d'entrée du convertisseur.

L'étage d'entrée du circuit AD9849 est constitué par un CDS (Correlated Double Sampler).

**Q50.** Présenter le principe de cette fonction. Indiquer son rôle ainsi que le domaine d'utilisation. (amplitude, fréquence)

**Q51.** Déterminer la valeur de la tension de sortie du CDS en présence de bruit à l'entrée. Préciser la nature du bruit.

**Q52.** Proposer le schéma de principe d'une telle fonction.

**Q53.** Représenter sur le document réponse **DR6** les instants d'échantillonnage.

**Q54.** Indiquer le rôle de l'étage noté « DC restore ».

**Q55.** Proposer un modèle de cet étage.

**Q56.** Déterminer le cycle de fonctionnement de cet étage.

**Q57.** Déterminer la tension pleine échelle du CAN. Calculer le bruit de quantification.

**Q58.** Si le condensateur équivalent au nœud capacitif vaut  $0,1\text{pF}$ . Calculer la limite de détection.

## VI. Codage de l'image

Une fois numérisé et stockée en mémoire, l'image est mise au format JPEG avant d'être transmise à la mémoire flash. Les trois étapes de la compression JPEG sont : la transformation DCT, la quantification puis le codage entropique

**Q59.** Expliquer le rôle de chacune de ces étapes.

**Q60.** Justifier l'appellation « transformation 2D » pour la transformation DCT. Indiquez les effets de la quantification sur la qualité de l'image.

**Q61.** Montrer l'intérêt du codage différentiel.

**Q62.** Le codage entropique est effectué par un algorithme de Huffman. Présenter le principe de ce type de codage.

Le bloc de 64 pixels ci-contre représente une portion d'image codée en niveau de gris (00h pour le noir, FFh pour le blanc). Les cases de même nom ont le même niveau de gris.

	1	2	3	4	5	6	7	8
1	A	B	E	E	E	C	D	A
2	B	A	E	E	E	E	A	A
3	B	C	A	D	D	A	D	A
4	B	C	C	A	A	D	D	A
5	B	C	C	A	A	D	D	A
6	B	C	A	C	C	A	D	A
7	B	A	B	B	B	B	A	A
8	A	B	F	F	F	F	A	A

**Q63.** Tracer l'histogramme de la figure ci-contre.

**Q64.** Déterminer le codage de Huffman associé aux couples (symboles, fréquences) suivants : (A, 23) ; (B, 12) ; (C, 9) ; (D, 9) ; (E, 7) ; (F, 4)

**Q65.** En déduire le taux de compression.

**Q66.** Proposer le schéma fonctionnel du décodeur JPEG.

## VII. Motorisation

Les éléments de l'ensemble optique sont motorisés (Zoom, autofocus, diaphragme et obturateur). Les moteurs doivent être commandés dans les deux sens de rotation. Les moteurs sont pilotés par le circuit LB1938T.

**Q67.** Relever les caractéristiques de ce circuit qui le rendent particulièrement adapté à cette application.

**Q68.** Préciser la nature des sources interconnectées par les interrupteurs. Indiquer celles qui sont réversibles.

**Q69.** Déterminer la caractéristique statique des interrupteurs  $K_1$ ,  $K_2$ ,  $K_3$ ,  $K_4$ .

**Q70.** Proposer un modèle de l'ensemble source, convertisseur, charge.

On appellera  $I_E$  le courant et  $E$  la tension fournis par la batterie ;  $I$  le courant dans la charge et  $V$  la tension aux bornes de la charge. QI, QII, QIII et QIV sont les quatre quadrants du plan I,V.

**Q71.** Établir l'enchaînement des différentes séquences sur une période de fonctionnement dans l'ordre indiqué sur le document réponse **DR7**.

**Q72.** En déduire les formes d'ondes idéalisées obtenues pour ces séquences.

**Q73.** Vous indiquerez sur le document réponse **DR7** les éléments (Diode ou Transistor) des interrupteurs actifs, la valeur du rapport cyclique  $\rho$  et le signe du courant  $I$  et de la tension moyenne  $V_{\text{moy}}$  aux bornes de la charge.

MINISTÈRE DE L'ÉDUCATION NATIONALE

Académie : \_\_\_\_\_ Session : \_\_\_\_\_

Concours : \_\_\_\_\_

Spécialité/option : \_\_\_\_\_ Repère de l'épreuve : \_\_\_\_\_

Intitulé de l'épreuve : \_\_\_\_\_

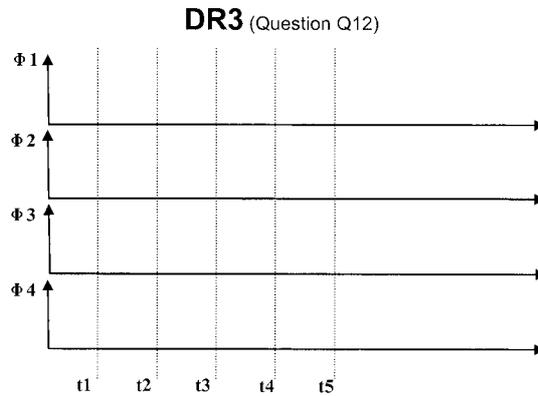
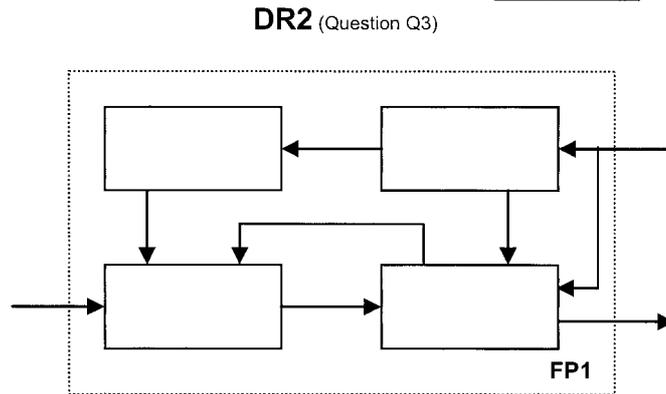
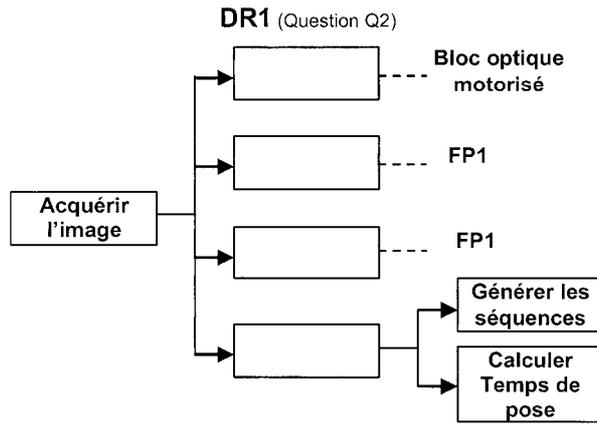
NOM : \_\_\_\_\_

(en majuscules, suivi s'il y a lieu, du nom d'épouse)

Prénoms : \_\_\_\_\_ N° du candidat

(le numéro est celui qui figure sur la convocation ou la liste d'appel)

AE2-6



**MINISTÈRE DE L'ÉDUCATION NATIONALE**

Académie : \_\_\_\_\_ Session : \_\_\_\_\_

Concours : \_\_\_\_\_

Spécialité/option : \_\_\_\_\_ Repère de l'épreuve : \_\_\_\_\_

Intitulé de l'épreuve : \_\_\_\_\_

NOM : \_\_\_\_\_

(en majuscules, suivi s'il y a lieu, du nom d'épouse)

Prénoms : \_\_\_\_\_ N° du candidat  

(le numéro est celui qui figure sur la convocation ou la liste d'appel)

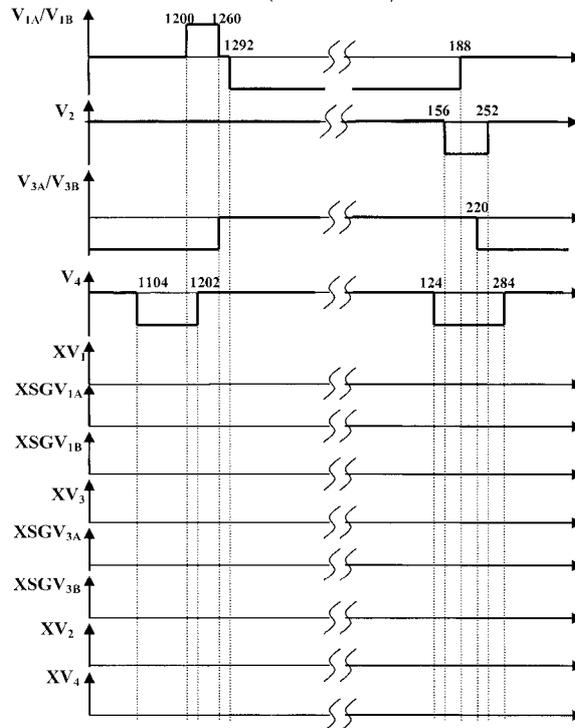
AE2-6

**DR4** (Question Q18)

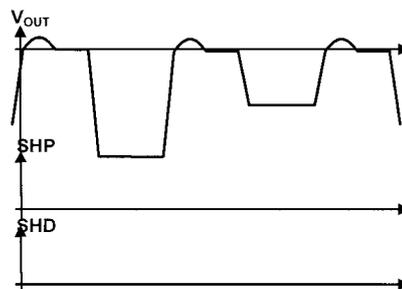
Tensions d'alimentation du capteur CCD.

	VL	VM	VH
V <sub>1A,1B</sub>			
V <sub>2</sub>			
V <sub>3A,4B</sub>			
V <sub>4</sub>			
V <sub>SUB</sub>			

**DR5** (Question Q46)



**DR6** (Question Q53)



NE RIEN ÉCRIRE DANS CE CADRE

MINISTÈRE DE L'ÉDUCATION NATIONALE

Académie : \_\_\_\_\_ Session : \_\_\_\_\_

Concours : \_\_\_\_\_

Spécialité/option : \_\_\_\_\_ Repère de l'épreuve : \_\_\_\_\_

Intitulé de l'épreuve : \_\_\_\_\_

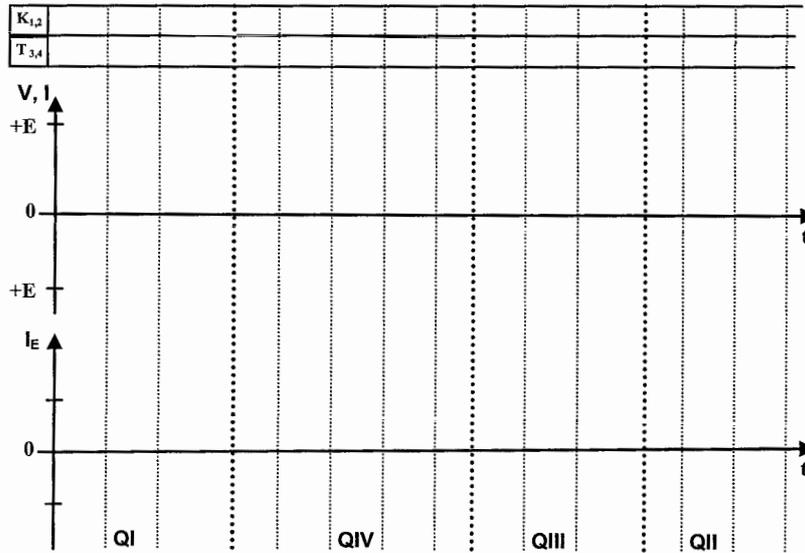
NOM : \_\_\_\_\_

Prénoms : \_\_\_\_\_ N° du candidat

(en majuscules, suivi s'il y a lieu, du nom d'épouse)  
(le numéro est celui qui figure sur la convocation ou la liste d'appel)

AE2-6

**DR7** (Question Q71 et Q73)



## Documents techniques

DT1 : Caractéristiques de l'appareil photo numérique	1 page
DT2 : Capteur CCD ICX406AQ	5 pages
DT3 : Driver CXD3400N	2 pages
DT4 : Convertisseur AD9849AKST	3 pages
DT5 : Motor Driver LB1938T	1 page
DT6 : Transistor 2SC4250	1 page
DT7 : Codage JPEG	2 pages
DT8 : Schéma Acquisition	1 page

## DT1 : Caractéristiques de l'appareil photo numérique

Type	Digital caméra
Effective pixels	4.0 million
CCD	1/1.8-inch high-density CCD; total pixels: 4.13 million
Image size (pixels)	<ul style="list-style-type: none"> <li style="width: 33%;">• 2272 x 1704</li> <li style="width: 33%;">• 1280 x 960</li> <li style="width: 33%;">• 2048 x 1536</li> <li style="width: 33%;">• 1024 x 768</li> <li style="width: 33%;">• 1600 x 1200</li> <li style="width: 33%;">• 640 x 480</li> </ul>
Lens	<ul style="list-style-type: none"> <li>• 3x Zoom Nikkor</li> </ul>
Focal length	• F = 8-24 mm (35 mm [135] caméra format équivalent: 38-114 mm)
f/-number	• f/2.8-f/4.9
Construction	• Nine elements in eight groups
Digital zoom	4.0x
Autofocus (AF)	Contrast-detect through-the-lens (TTL) AF
Focus range measured from lens)	<ul style="list-style-type: none"> <li>• 30 cm (1 ft.) -∞ at widest angle (W), 60 cm (2 ft.)-∞ at telephoto (T)</li> <li>• Macro mode (Autofocus): 4 cm (1.6 in.) -∞ at widest angle (W), 30 cm (1 ft.) -∞ at telephoto (T)</li> </ul>
Focus-area selection	Five-area multi AF and spot AF available
Monitor	1.5-inch 110,000-dot, low-temperature polysilicon TFT LCD with brightness adjustment
Frame coverage	Approximately 97% vertical and 97% horizontal
Storage	
Média	Type I CompactFlash™ (CF) cards
File system	Compliant with Design rule for Camera File Systems (DCF), Exif 2.2, Digital Print-Order Format (DPOF)
File format	Compressed: JPEG-baseline- compliant; (FINE-, NORMAL-, and BASIC-quality images) Uncompresses: TIFF-RGB (HI-quality images) Movies: QuickTime
Shutter Speed	Mechanical and charge-coupled electronic shutter 8-1/1000 sec.; Bulb (up to 60 sec. in M mode)
Aperture Range	Electronically controlled preset aperture Two steps (f/2.8 and f/7.6 [W])
Sensitivity	ISO équivalent approximately 100, 200, 400 or Auto
Interface	USB
Vidéo output	User can choose from NTSC and PAL
Power sources	Rechargeable Nikon EN-EL1 lithium-ion battery (supplied) or six-volt 2CR5 (DL245) lithium battery (available separately)
Battery life (EN-EL1)	Approximately 90 minutes (as measured at room temperature [20°C/68°F] under standard Nikon test conditions: zoom adjusted with each shot, flash used in approximately one third of photographs, image quality set to NORMAL, image size 2272 x 1704)
Dimensions (W x H x D)	95 x 69 x 52 mm (3.7 x 2.7 x 2.0 in.)
Weight	Approximately 225 g (7.9 oz.) without battery and memory card

# DT2 : Capteur CCD ICX406AQ

SONY

ICX406AQ

SONY

ICX406AQ

Diagonal 8.98mm (Type 1/1.8) Frame Readout CCD Image Sensor with a Square Pixel for Color Cameras

### Description

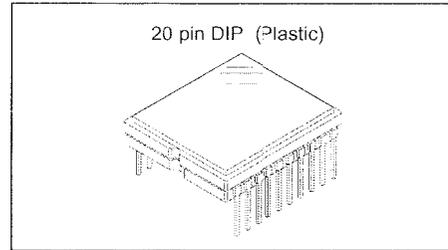
The ICX406AQ is a diagonal 8.98mm (Type 1/1.8) interline CCD solid-state image sensor with a square pixel array and 3.98M effective pixels. Frame readout allows all pixels' signals to be output independently within approximately 1/3.33 second.

Also, number of vertical pixels decimation allows output of 30 frames per second in high frame rate readout mode.

This chip features an electronic shutter with variable charge-storage time.

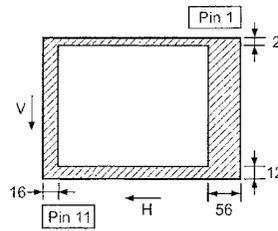
R, G, B primary color mosaic filters are used as the color filters, and at the same time high sensitivity and low dark current are achieved through the adoption of Super HAD CCD technology.

This chip is suitable for applications such as electronic still cameras, etc.



### Features

- Supports frame readout
- High horizontal and vertical resolution
- Supports high frame rate readout mode: 30 frames/s, 25 frames/s, AF1 mode: 60 frames/s, 50 frames/s, AF2 mode: 120 frames/s, 100 frames/s
- Square pixel
- Horizontal drive frequency: 18MHz
- No voltage adjustments (reset gate and substrate bias are not adjusted.)
- R, G, B primary color mosaic filters on chip
- High sensitivity, low dark current
- Continuous variable-speed shutter
- Excellent anti-blooming characteristics
- Exit pupil distance recommended range -20 to -100mm
- 20-pin high-precision plastic package



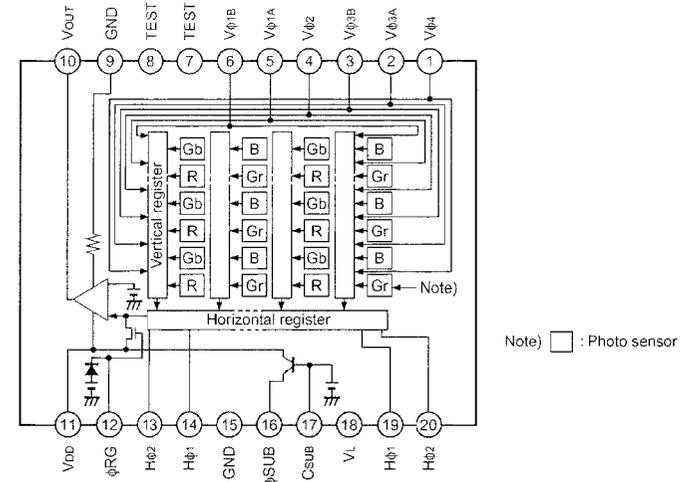
Optical black position (Top View)

### Device Structure

- Interline CCD image sensor
- Total number of pixels: 2384 (H) × 1734 (V) approx. 4.13M pixels
- Number of effective pixels: 2312 (H) × 1720 (V) approx. 3.98M pixels
- Number of active pixels: 2308 (H) × 1712 (V) approx. 3.95M pixels diagonal 8.980mm
- Number of recommended recording pixels: 2272 (H) × 1740 (V) approx. 3.87M pixels diagonal 8.875mm aspect ratio 4:3
- Chip size: 8.10mm (H) × 6.64mm (V)
- Unit cell size: 3.125µm (H) × 3.125µm (V)
- Optical black: Horizontal (H) direction: Front 16 pixels, rear 56 pixels  
Vertical (V) direction: Front 12 pixels, rear 2 pixels
- Number of dummy bits: Horizontal 28  
Vertical 1 (even fields only)
- Substrate material: Silicon

### Block Diagram and Pin Configuration

(Top View)



Note) □ : Photo sensor

### Pin Description

Pin No.	Symbol	Description	Pin No.	Symbol	Description
1	Vφ4	Vertical register transfer clock	11	VDD	Supply voltage
2	Vφ3A	Vertical register transfer clock	12	φRG	Reset gate clock
3	Vφ3B	Vertical register transfer clock	13	Hφ2	Horizontal register transfer clock
4	Vφ2	Vertical register transfer clock	14	Hφ1	Horizontal register transfer clock
5	Vφ1A	Vertical register transfer clock	15	GND	GND
6	Vφ1B	Vertical register transfer clock	16	φSUB	Substrate clock
7	TEST	Test pin <sup>*1</sup>	17	CsUB	Substrate bias <sup>*2</sup>
8	TEST	Test pin <sup>*1</sup>	18	VL	Protective transistor bias
9	GND	GND	19	Hφ1	Horizontal register transfer clock
10	VOUT	Signal output	20	Hφ2	Horizontal register transfer clock

<sup>\*1</sup> Leave this pin open.

<sup>\*2</sup> DC bias is generated within the CCD, so that this pin should be grounded externally through a capacitance of 0.1µF.

# DT2 : Capteur CCD ICX406AQ

SONY

ICX406AQ

SONY

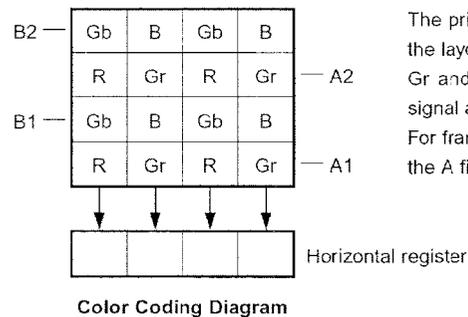
ICX406AQ

## Image Sensor Characteristics Measurement Method

### Measurement conditions

- (1) In the following measurements, the device drive conditions are at the typical values of the bias and clock voltage conditions, and the frame readout mode is used.
- (2) In the following measurements, spot blemishes are excluded and, unless otherwise specified, the optical black level (OB) is used as the reference for the signal output, which is taken as the value of the Gr/Gb channel signal output or the R/B channel signal output of the measurement system.

### Color coding of this image sensor & Readout



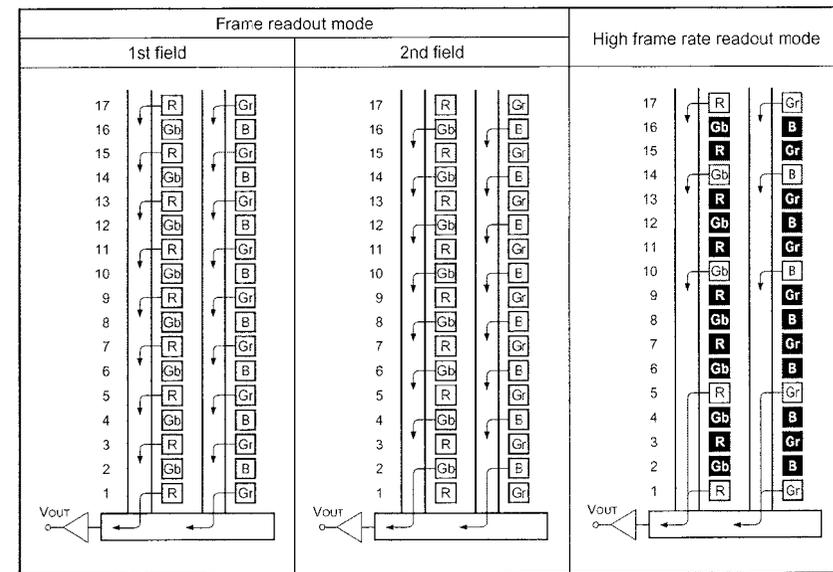
The primary color filters of this image sensor are arranged in the layout shown in the figure on the left (Bayer arrangement). Gr and Gb denote the G signals on the same line as the R signal and the B signal, respectively. For frame readout, the A1 and A2 lines are output as signals in the A field, and the B1 and B2 lines in the B field.

### Readout modes

#### 1. Readout modes list

Mode name		Frame rate	Number of effective output lines
Frame readout mode	NTSC mode	3.33 frame/s	1720 (Odd 860, Even 860)
	PAL mode	3.57 frame/s	1720 (Odd 860, Even 860)
High frame rate readout mode	NTSC mode	30 frame/s	215
	PAL mode	25 frame/s	215
AF1 mode	NTSC mode	60 frame/s	97
	PAL mode	50 frame/s	119
AF2 mode	NTSC mode	120 frame/s	35
	PAL mode	100 frame/s	46

#### 2. Frame readout mode, high frame rate readout mode



Note) Blacked out portions in the diagram indicate pixels which are not read out.

#### 1. Frame readout mode

In this mode, all pixel signals are divided into two fields and output.

All pixel signals are read out independently, making this mode suitable for high resolution image capturing.

#### 2. High frame rate readout mode

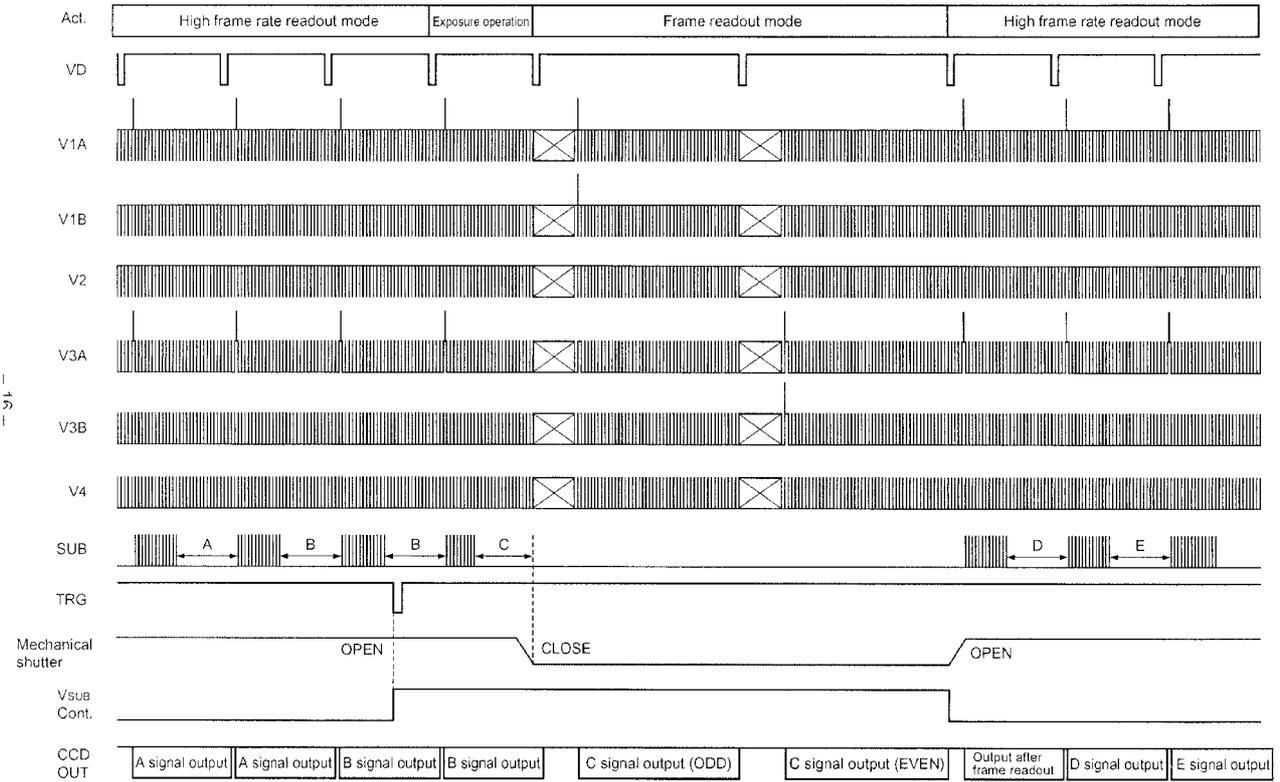
Output is performed at 30 frames per second by reading out 4 pixels for every 16 vertical pixels and adding 2 pixels in the horizontal CCD.

The number of output lines is 215 lines.

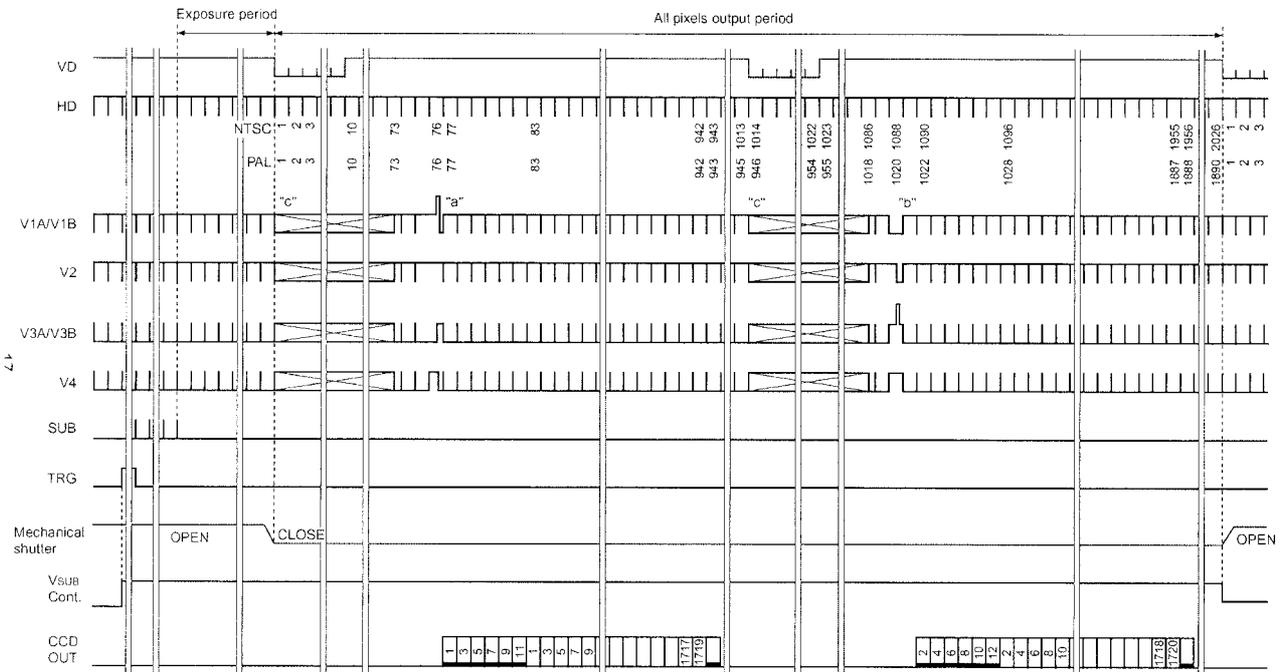
This readout mode emphasizes processing speed over vertical resolution.

# DT2 : Capteur CCD ICX406AQ

Drive Timing Chart (Vertical Sequence)    High Frame Rate Readout Mode → Frame Readout Mode/Electronic Shutter Normal Operation



Drive Timing Chart (Vertical Sync)    NTSC/PAL Frame Readout Mode  
NTSC: 3.33 frame/s, PAL: 3.57 frame/s

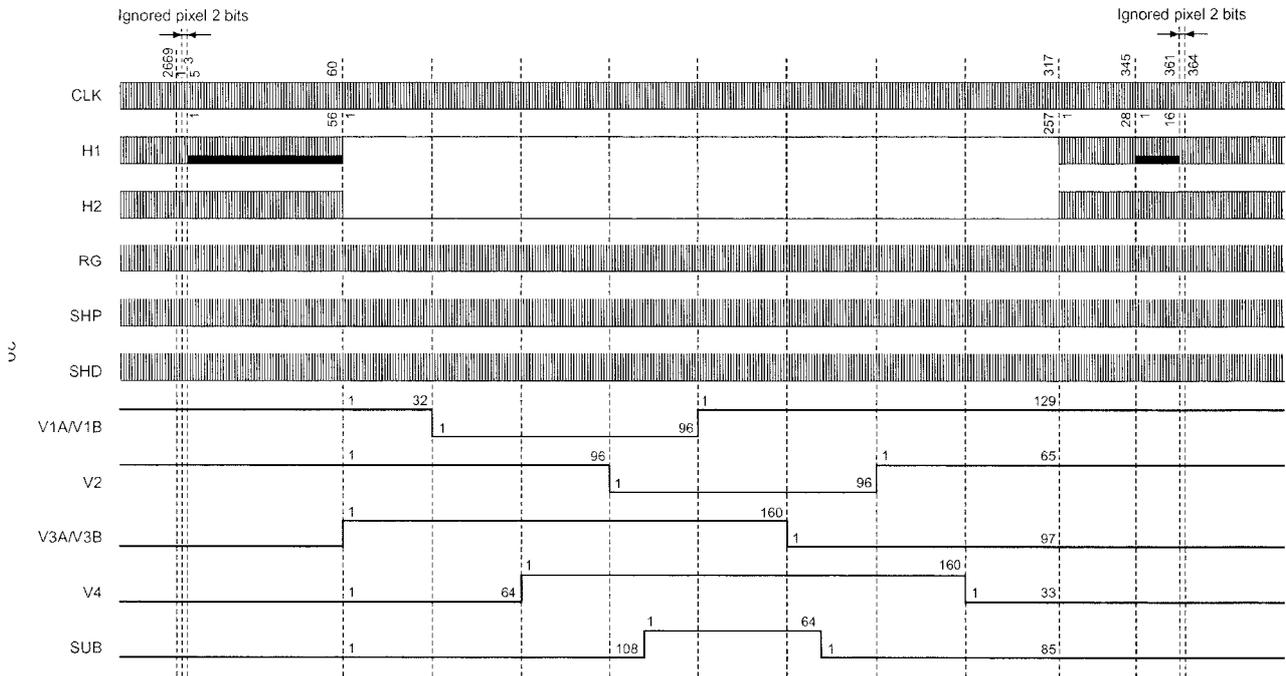


**Note)** The 1013H and 2026H horizontal period in NTSC mode are 1672clk, the 945H and 1890H horizontal period in PAL mode are 464clk.



# DT2 : Capteur CCD ICX406AQ

Drive Timing Chart (Horizontal Sync) NTSC/PAL Frame Readout Mode



# DT3 : Driver CXD3400N

SONY

# CXD3400N

Block Diagram

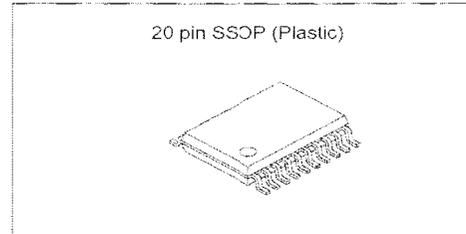
## 6-channel CCD Vertical Clock Driver

### Description

The CXD3400N is a vertical clock driver for CCD image sensor. This IC is composed of 6 channels which supports high frame rate readout mode.

### Features

- Composition  
Vertical transfer output 3 levels driver × 4  
2 levels driver × 2
- Electronic shutter output 2 levels driver × 1
- Suitable drive capability for high-pixel CCD (40% improved compared to current device)
- Small package (20-pin SSOP)
- 2.7 to 5.5V supported input interface



### Applications

Digital still camera

### Structure

CMOS

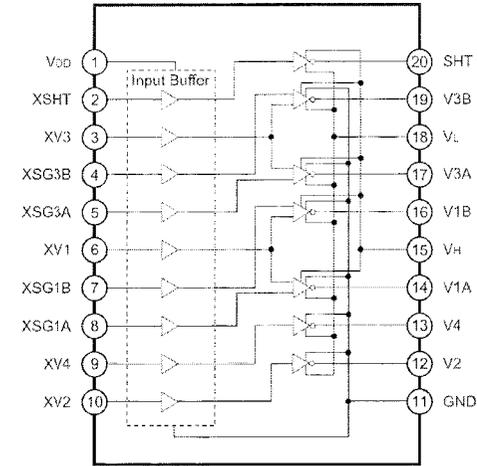
### Absolute Maximum Ratings

- Supply voltage  $V_{DD}$  GND - 0.3 to +7.0 V
- Supply voltage  $V_L$  GND to -10 V
- Supply voltage  $V_H$   $V_L + 26$  V
- Input voltage  $V_{IN}$  GND - 0.3V to  $V_{DD} + 0.3$  V
- Operating temperature  $T_{opr}$  -20 to +75 °C
- Storage temperature  $T_{stg}$  -55 to +150 °C

### Recommended Operating Conditions

- Supply voltage  $V_{DD}$  2.7 to 5.5 V
- Supply voltage  $V_L$  -5.0 to -9.0 V
- Supply voltage  $V_H$  11.5 to 15.5 V
- Operating temperature  $T_{opr}$  -20 to +75 °C

Sony reserves the right to change products and specifications without prior notice. This information does not convey any license by any implication or otherwise under any patents or other right. Application circuits shown, if any, are typical examples illustrating the operation of the devices. Sony cannot assume responsibility for any problems arising out of the use of these circuits.



### Pin Description

Pin No.	Symbol	I/O	Functions
1	$V_{DD}$	—	Input power supply (3.3V system)
2	XSHT	I	SHT pulse input
3	XV3	I	V3A and V3B transfer pulse input
4	XSG3B	I	V3B readout pulse input
5	XSG3A	I	V3A readout pulse input
6	XV1	I	V1A and V1B readout pulse input
7	XSG1B	I	V1B readout pulse input
8	XSG1A	I	V1A readout pulse input
9	XV4	I	V4 transfer pulse input
10	XV2	I	V2 transfer pulse input
11	GND	—	GND (= $V_M$ )
12	V2	O	High voltage output (2 levels: $V_M$ , $V_L$ )
13	V4	O	High voltage output (2 levels: $V_M$ , $V_L$ )
14	V1A	O	High voltage output (3 levels: $V_H$ , $V_M$ , $V_L$ )
15	$V_H$	—	Positive power supply for high voltage output (15V system)
16	V1B	O	High voltage output (3 levels: $V_H$ , $V_M$ , $V_L$ )
17	V3A	O	High voltage output (3 levels: $V_H$ , $V_M$ , $V_L$ )
18	$V_L$	—	Negative power supply for high voltage output (-7.5V system)
19	V3B	O	High voltage output (3 levels: $V_H$ , $V_M$ , $V_L$ )
20	SHT	O	High voltage output (2 levels: $V_H$ , $V_L$ )

# DT3 : Driver CXD3400N

SONY

CXD3400N

SONY

CXD3400N

## Truth Table

Input				Output		
XV1, 3	XSG1A, 1B, 3A, 3B	XV2, 4	XSHT	V1A, 1B, 3A, 3B	V2, 4	SHT
L	L	X	X	V <sub>H</sub>	X	X
L	H	X	X	V <sub>M</sub>	X	X
H	L	X	X	Z	X	X
H	H	X	X	V <sub>L</sub>	X	X
X	X	L	X	X	V <sub>M</sub>	X
X	X	H	X	X	V <sub>L</sub>	X
X	X	X	L	X	X	V <sub>H</sub>
X	X	X	H	X	X	V <sub>L</sub>

Z: High impedance X: Don't care

## Electrical Characteristics

### DC Characteristics

(V<sub>DD</sub> = 3.3V, V<sub>H</sub> = 15V, V<sub>M</sub> = GND, V<sub>L</sub> = -8.5V)

Item	Symbol	Conditions	Min.	Typ.	Max.	Unit
"H" level input voltage	V <sub>IH</sub>		0.7V <sub>DD</sub>	—	—	V
"L" level input voltage	V <sub>IL</sub>		—	—	0.3V <sub>DD</sub>	V
Input current	I <sub>IN</sub>	V <sub>IN</sub> = GND to 5V	-10	0.0	10	μA
Operating supply current	I <sub>H</sub>	*1	—	0.10	0.20	mA
Operating supply current	I <sub>DD</sub>	*1	—	0.25	0.50	mA
Operating supply current	I <sub>L</sub>	*1	-8.5	-5.5	—	mA
Output current	I <sub>OL</sub>	V1A, 1B, 3A, 3B, V2, 4 = -8.25V	10	—	—	mA
Output current	I <sub>OM1</sub>	V1A, 1B, 3A, 3B, V2, 4 = -0.25V	—	—	-5.0	mA
Output current	I <sub>OM2</sub>	V1A, 1B, 3A, 3B = 0.25V	5.0	—	—	mA
Output current	I <sub>OH</sub>	V1A, 1B, 3A, 3B = 14.75V	—	—	-7.2	mA
Output current	I <sub>OSL</sub>	SHT = -8.25V	5.4	—	—	mA
Output current	I <sub>OSH</sub>	SHT = 14.75V	—	—	-4.0	mA

\*1 See Measurement Circuit. Shutter speed 1/10000

Note) Current direction +: inflow to IC; -: outflow from IC

## Switching Characteristics

(V<sub>DD</sub> = 3.3V, V<sub>H</sub> = 15V, V<sub>M</sub> = GND, V<sub>L</sub> = -7.5V)

Item	Symbol	Conditions	Min.	Typ.	Max.	Unit
Propagation delay time	T <sub>PLM</sub>	*1	50	70	100	ns
Propagation delay time	T <sub>PMH</sub>	*1	50	70	100	ns
Propagation delay time	T <sub>PLH</sub>	*1	50	70	100	ns
Propagation delay time	T <sub>PML</sub>	*1	10	30	50	ns
Propagation delay time	T <sub>PHM</sub>	*1	10	30	50	ns
Propagation delay time	T <sub>PHL</sub>	*1	10	30	50	ns
Rise time	T <sub>TLM</sub>	V <sub>L</sub> → V <sub>M</sub> *1	200	350	500	ns
Rise time	T <sub>TMH</sub>	V <sub>M</sub> → V <sub>H</sub> *1	200	350	500	ns
Rise time	T <sub>TLH</sub>	V <sub>L</sub> → V <sub>H</sub> *1	30	60	90	ns
Fall time	T <sub>TML</sub>	V <sub>M</sub> → V <sub>L</sub> *1	200	350	500	ns
Fall time	T <sub>THM</sub>	V <sub>H</sub> → V <sub>M</sub> *1	200	350	500	ns
Fall time	T <sub>THL</sub>	V <sub>H</sub> → V <sub>L</sub> *1	30	60	90	ns
Output noise voltage	V <sub>CLH</sub>	*2	—	—	1.0	V
Output noise voltage	V <sub>CLL</sub>	*2	—	—	1.0	V
Output noise voltage	V <sub>CMH</sub>	*2	—	—	1.0	V
Output noise voltage	V <sub>CML</sub>	*2	—	—	1.0	V

\*1 See Switching Waveform.

\*2 See Noise on a Waveform.

Note) Each item is evaluated by Measurement Circuit.

## Notes on Operation (See Application Circuit.)

1. Be sure to protect against static electricity because this IC is MOS structure.
2. A bypass capacitor (0.1μF or more) is connected between GND and near each power supply (V<sub>H</sub>, V<sub>DD</sub>, V<sub>L</sub>).
3. In order to protect CCD image sensor, input SHT pin output to SUB pin of CCD image sensor after that has been clamped at V<sub>H</sub>.



# DT4 : Convertisseur AD9849AKST

## CCD Signal Processors with Integrated Timing Driver

### AD9848/AD9849

#### FEATURES

- AD9848: 10-Bit, 20 MHz Version
- AD9849: 12-Bit, 30 MHz Version
- Correlated Double Sampler (CDS)
- 2 dB to +10 dB Pixel Gain Amplifier (PxGA)
- 2 dB to 36 dB 10-Bit Variable Gain Amplifier (VGA)
- 10-Bit 20 MHz A/D Converter (AD9848)
- 12-Bit 30 MHz A/D Converter (AD9849)
- Black Level Clamp with Variable Level Control
- Complete On-Chip Timing Driver
- Precision Timing™ Core with 1 ns Resolution @ 20 MSPS
- On-Chip 3 V Horizontal and RG Drivers (AD9848)
- On-Chip 5 V Horizontal and RG Drivers (AD9849)
- 48-Lead LQFP Package

#### APPLICATIONS

Digital Still Cameras

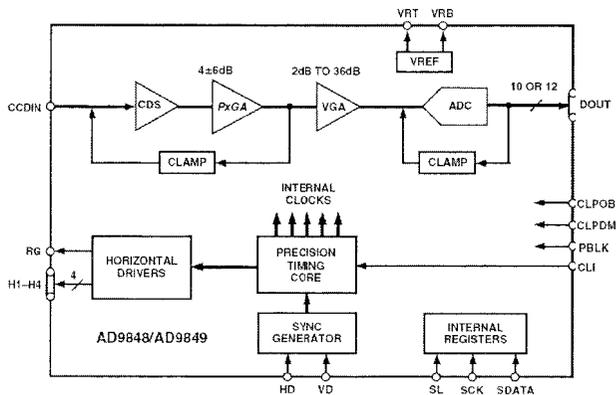
#### PRODUCT DESCRIPTION

The AD9848 and AD9849 are highly integrated CCD signal processors for digital still camera applications. Both include a complete analog front end with A/D conversion, combined with a programmable timing driver. The Precision Timing core allows adjustment of high speed clocks with approximately 1 ns resolution.

The AD9848 is specified at pixe. rates of 20 MHz, and the AD9849 is specified at 30 MHz. The analog front end includes black level clamping, CDS, PxGA, VGA, and a 10-bit or 12-bit A/D converter. The timing driver provides the high speed CCD clock drivers for RG and H1-H4. Operation is programmed using a 3-wire serial interface.

Packaged in a space saving 48-lead LQFP, the AD9848 and AD9849 are specified over an operating temperature range of -20°C to +85°C.

FUNCTIONAL BLOCK DIAGRAM



Parameter	Min	Typ	Max	Unit
<b>TEMPERATURE RANGE</b>				
Operating	-20		+85	°C
Storage	-65		+150	°C
<b>MAXIMUM CLOCK RATE</b>				
AD9848	20			MHz
AD9849	30			MHz
<b>POWER SUPPLY VOLTAGE, AD9848</b>				
Analog (AVDD1, 2, 3)	2.7		3.6	V
Digital1 (DVDD1) H1-H4	2.7		3.6	V
Digital2 (DVDD2) RG	2.7		3.6	V
Digital3 (DVDD3) D0-D11		3.0		V
Digital4 (DVDD4) All Other Digital		3.0		V
<b>POWER SUPPLY VOLTAGE, AD9849</b>				
Analog (AVDD1, 2, 3)	2.7		3.6	V
Digital1 (DVDD1) H1-H4	3.0		5.5	V
Digital2 (DVDD2) RG	3.0		5.5	V
Digital3 (DVDD3) D0-D11		3.0		V
Digital4 (DVDD4) All Other Digital		3.0		V
<b>POWER DISSIPATION, AD9848</b>				
20 MHz, DVDD1, 2 = 3 V, 100 pF H Loading		220		mW
Total Shutdown Mode		1		mW
<b>POWER DISSIPATION, AD9849</b>				
30 MHz, DVDD1, 2 = 5 V, 100 pF H Loading		450		mW
Total Shutdown Mode		1		mW

### DIGITAL SPECIFICATIONS (T<sub>MIN</sub> to T<sub>MAX</sub>, AVDD1 = DVDD3, DVDD4 = 2.7 V, DVDD1, DVDD2 = 2.7 V (AD9848), DVDD1, DVDD2 = 5.25 V (AD9849), C<sub>L</sub> = 20 pF, unless otherwise noted.)

Parameter	Symbol	Min	Typ	Max	Unit
<b>LOGIC INPUTS</b>					
High Level Input Voltage	V <sub>IH</sub>	2.1			V
Low Level Input Voltage	V <sub>IL</sub>			0.6	V
High Level Input Current	I <sub>IH</sub>		10		μA
Low Level Input Current	I <sub>IL</sub>		10		μA
Input Capacitance	C <sub>IN</sub>		10		pF
<b>LOGIC OUTPUTS</b>					
High Level Output Voltage, I <sub>OH</sub> = 2 mA	V <sub>OH</sub>	2.2			V
Low Level Output Voltage, I <sub>OL</sub> = 2 mA	V <sub>OL</sub>			0.5	V
<b>CLI INPUT</b>					
High Level Input Voltage (AVDD1, 2 + 0.5 V)	V <sub>IH-CLI</sub>	1.85			V
Low Level Input Voltage	V <sub>IL-CLI</sub>			0.85	V
<b>RG AND H-DRIVER OUTPUTS, AD9848</b>					
High Level Output Voltage (DVDD1, 2 - 0.5 V)	V <sub>OH</sub>	2.2			V
Low Level Output Voltage	V <sub>OL</sub>			0.5	V
Maximum Output Current (Programmable)		24			mA
Maximum Load Capacitance		100			pF
<b>RG AND H-DRIVER OUTPUTS, AD9849</b>					
High Level Output Voltage (DVDD1, 2 - 0.5 V)	V <sub>OH</sub>	4.75			V
Low Level Output Voltage	V <sub>OL</sub>			0.5	V
Maximum Output Current (Programmable)		24			mA
Maximum Load Capacitance		100			pF

# DT4 : Convertisseur AD9849AKST

## SYSTEM OVERVIEW

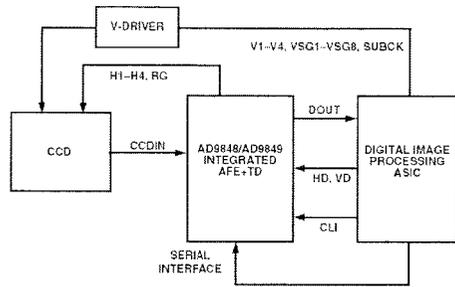


Figure 1a. Typical Application (Internal Mode)

Figures 1a and 1b show the typical system application diagrams for the AD9848/AD9849. The CCD output is processed by the AD9848/AD9849's AFE circuitry, which consists of a CDS,  $P_xGA$ , VGA, black level clamp, and A/D converter. The digitized pixel information is sent to the digital image processor chip, where all post-processing and compression occurs. To operate the CCD, CCD timing parameters are programmed into the AD9848/AD9849 from the image processor, through the 3-wire serial interface. From the system master clock, CLI, provided by the image processor, the AD9848/AD9849 generates the high speed CCD clocks and all internal AFE clocks. All AD9848/AD9849 clocks are synchronized with VD and HD.

Figure 1a shows the AD9848/AD9849 used in Internal Mode, in which all the horizontal pulses (CLPOB, CLPDM, PBLK, and HBLK) are programmed and generated internally. Figure 1b shows the AD9848/AD9849 operating in External Mode, in which the horizontal pulses are supplied externally by the image processor.

The H-drivers for H1-H4 and RG are included in the AD9848/AD9849, allowing these clocks to be directly connected to the CCD. H-drive voltage of 5 V is supported in the AD9849.

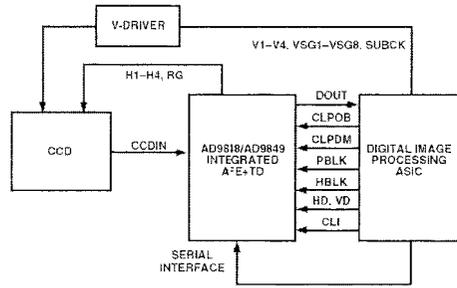


Figure 1b. Typical Application (External Mode)

Figure 2 shows the horizontal and vertical counter dimensions for the AD9848/AD9849. All internal horizontal clocking is programmed using these dimensions to specify line and pixel locations.

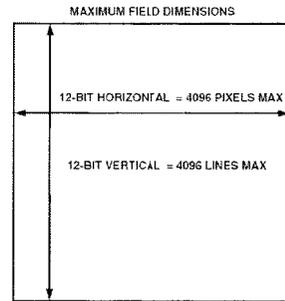


Figure 2. Vertical and Horizontal Counters

## Recommended Power-Up Sequence

When the AD9848 and AD9849 are powered up, the following sequence is recommended (refer to Figure 14 for each step):

1. Turn on power supplies for AD9848/AD9849.
2. Apply the master clock input CLI, VD, and HD.
3. The Precision Timing core must be reset by writing a "0" to the TGCORE\_RSTB Register (Address x026) followed by writing a "1" to the TGCORE\_RSTB Register. This will start the internal timing core operation. Next, initialize the internal circuitry by first writing "110101" or "53" decimal to the INITIAL1 Register (Address x020). Finally, write "000100" or "4" decimal to the INITIAL2 Register (Address x00F).
4. Write a "1" to the PREVENTUPDATE Register (Address x019). This will prevent the updating of the serial register data.
5. Write to desired registers to configure high speed timing and horizontal timing.
6. Write a "1" to the OUT\_CONT Register (Address x016). This will allow the outputs to become active after the next VD/HD rising edge.
7. Write a "0" to the PREVENTUPDATE Register (Address x019). This will allow the serial information to be updated at next VD/HD falling edge.
8. The next VD/HD falling edge allows register updates to occur, including OUT\_CONT, which enables all clock outputs.

## ANALOG FRONT END DESCRIPTION AND OPERATION

The AD9848/AD9849 signal processing chain is shown in Figure 15. Each processing step is essential in achieving a high quality image from the raw CCD pixel data.

## DC Restore

To reduce the large dc offset of the CCD output signal, a dc restore circuit is used with an external 0.1  $\mu F$  series coupling capacitor. This restores the dc level of the CCD signal to approximately 1.5 V to be compatible with the 3 V analog supply signal of the AD9848/AD9849.

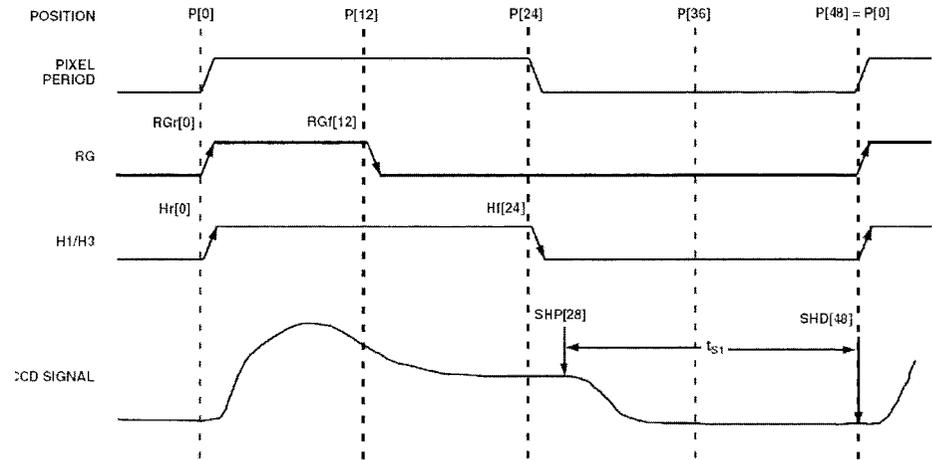
## Correlated Double Sampler

The CDS circuit samples each CCD pixel twice to extract the video information and reject low frequency noise. The timing shown in Figure 6 illustrates how the two internally generated CDS clocks, SHP and SHD, are used to sample the reference level and data level of the CCD signal, respectively. The placement of the SHP and SHD sampling edges is determined by the setting of the SHPPSLOC and SHDPSLOC Registers located at Address 0xF0 and 0xF1, respectively. Placement of these two clock signals is critical to achieve the best performance from the CCD.

## Input Clamp

A line-rate input clamping circuit removes the CCD's optical black offset. This offset exists in the CCD's shielded black reference pixels. The AD9848/AD9849 removes this offset in the input stage to minimize the effect of a gain change on the system black level, usually called the "gain step." Another advantage of removing this offset at the input stage is to maximize system headroom. Some area CCDs have large black level offset voltages that can significantly reduce the available headroom in the internal circuitry when higher VGA gain settings are used, if not corrected after the input stage.

Horizontal timing examples are shown on the last page of the Applications Information section. It is recommended that the CLPDM pulse be used during valid CCD dark pixels. CLPDM may be used during the optical black pixels, either together with CLPOB or separately. The CLPDM pulse should be a minimum of four pixels wide.



- NOTES
1. ALL SIGNAL EDGES ARE FULLY PROGRAMMABLE TO ANY OF THE 48 POSITIONS WITHIN ONE PIXEL PERIOD.
  2. DEFAULT POSITIONS FOR EACH SIGNAL ARE SHOWN ABOVE.

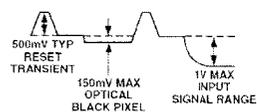
Figure 6. High Speed Clock Default and Programmable Locations

## DT4 : Convertisseur AD9849AKST

### AD9849—ANALOG SPECIFICATIONS ( $T_{MIN}$ to $T_{MAX}$ , $AVDD = DVDD = 3.0\text{ V}$ , $f_{CLK} = 30\text{ MHz}$ , unless otherwise noted.)

Parameter	Min	Typ	Max	Unit	Notes
<b>CDS</b>					
Gain		0		dB	See Input Waveform in Note
Allowable CCD Reset Transient*		500		mV	
Max Input Range Before Saturation*	1.0			V p-p	
Max CCD Black Pixel Amplitude*		150		mV	
<b>PIXEL GAIN AMPLIFIER (PxGA)</b>					
Max Input Range	1.0			V p-p	
Max Output Range	1.6			V p-p	
Gain Control Resolution		64		Steps	
Gain Monotonicity		Guaranteed			
Gain Range					Medium Gain (4 dB) Is Default Setting
Min Gain (32)		-2		dB	
Med Gain (0)		4		dB	
Max Gain (31)		10		dB	
<b>VARIABLE GAIN AMPLIFIER (VGA)</b>					
Max Input Range	1.6			V p-p	
Max Output Range	2.0			V p-p	
Gain Control Resolution		1024		Steps	
Gain Monotonicity		Guaranteed			
Gain Range					
Low Gain (91)		2		dB	
Max Gain (1023)		36		dB	
<b>BLACK LEVEL CLAMP</b>					
Clamp Level Resolution		256		Steps	Measured at ADC Output
Clamp Level					
Min Clamp Level (0)		0		LSB	
Max Clamp Level (255)		255		LSB	
<b>A/D CONVERTER</b>					
Resolution	12			Bits	
Differential Nonlinearity (DNL)		$\pm 0.5$	$\pm 1.0$	LSB	
No Missing Codes		Guaranteed			
Full-Scale Input Voltage		2.0		V	
<b>VOLTAGE REFERENCE</b>					
Reference Top Voltage (VRT)		2.0		V	
Reference Bottom Voltage (VRB)		1.0		V	
<b>SYSTEM PERFORMANCE</b>					
Gain Accuracy					Specifications Include Entire Signal Chain Gain Includes 4 dB Default PxGA Gain
Low Gain (91)	5	6	7	dB	
Max Gain (1023)	38	39.5	41	dB	
Peak Nonlinearity, 500 mV Input Signal		0.2		%	12 dB Gain Applied AC Grounded Input, 6 dB Gain Applied Measured with Step Change on Supply
Total Output Noise		0.6		LSB rms	
Power Supply Rejection (PSR)		40		dB	

\*Input signal characteristics defined as follows:



### TIMING SPECIFICATIONS ( $C_L = 20\text{ pF}$ , $f_{CLK} = 20\text{ MHz}$ (AD9848) or $30\text{ MHz}$ (AD9849), Serial Timing in Figures 3a and 3b, unless otherwise noted.)

Parameter	Symbol	Min	Typ	Max	Unit
<b>MASTER CLOCK (CLI), AD9848</b>					
CLI Clock Period	$t_{CLI}$	50			ns
CLI High/Low Pulsewidth	$t_{ADC}$	25			ns
Delay From CLI to Internal Pixel Period Position	$t_{CLIDLY}$		6		ns
<b>MASTER CLOCK (CLI), AD9849</b>					
CLI Clock Period	$t_{CONV}$	33.33			ns
CLI High/Low Pulsewidth	$t_{ADC}$	16.67			ns
<b>EXTERNAL MODE CLAMPING</b>					
CLPDM Pulsewidth	$t_{CDM}$	4	10		Pixels
CLPOB Pulsewidth*	$t_{COB}$	2	20		Pixels
<b>SAMPLE CLOCKS</b>					
SHP Rising Edge to SHD Rising Edge (AD9848)	$t_{S1}$	20			ns
SHP Rising Edge to SHD Rising Edge (AD9849)	$t_{S1}$	13			ns
<b>DATA OUTPUTS</b>					
Output Delay from Programmed Edge	$t_{OD}$		6		ns
Pipeline Delay			9		Cycles
<b>SERIAL INTERFACE</b>					
Maximum SCK Frequency	$f_{SCLK}$	10			MHz
SL to SCK Setup Time	$t_{LS}$	10			ns
SCK to SL Hold Time	$t_{LH}$	10			ns
SDATA Valid to SCK Rising Edge Setup	$t_{DS}$	10			ns
SCK Falling Edge to SDATA Valid Hold	$t_{DH}$	10			ns
SCK Falling Edge to SDATA Valid Read	$t_{DV}$	10			ns

\*Maximum CLPOB pulsewidth is for functional operation only. Wider typical pulses are recommended to achieve low noise clamp reference.

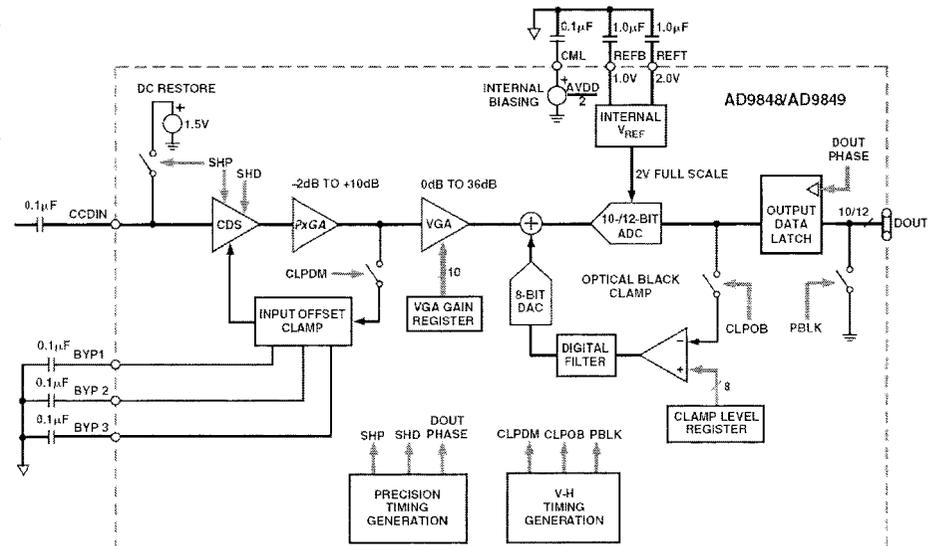


Figure 15. Analog Front End Block Diagram

# DT5 : Motor Driver LB1938T

miniature signal IC



## LB1938T

### 1ch, Low-saturation Forward/Reverse Motor Driver

LB1938T

## Overview

The LB1938T is an H-bridge motor driver that supports low-voltage drive and features low-saturation outputs in an ultraminiature slim package. The LB1938T provides forward, reverse, brake, and standby modes controlled by two input signals, and is an optimal DC motor driver for notebook personal computers, digital cameras, cell phones, and other portable equipment.

## Truth Table

IN1	IN2	OUT1	OUT2	Mode
L	L	OFF	OFF	Standby
H	L	H	L	Forward rotation
L	H	L	H	Reverse rotation
H	H	H	H	Brake

## Specifications

Absolute Maximum Ratings at  $T_a = 25^\circ\text{C}$

Parameter	Symbol	Conditions	Ratings	Unit
Supply voltage	$V_{CC}$ max		10.5	V
Allowable Power dissipation	$P_d$ max	Mounted on a board *	400	mW
Output current	$I_{OUT}$ max		800	mA
Output voltage	$V_{OUT}$ max		$V_{CC} + V_{SF}$	V
Input applied voltage	$V_{IH}$ max		10	V
Operating temperature	$T_{OP}$		-30 to +85	$^\circ\text{C}$
Storage temperature	$T_{STG}$		-55 to +150	$^\circ\text{C}$

Note: \* Mounted on the specified board (114.3 × 76.1 × 1.5 mm<sup>3</sup>; Glass epoxy; wiring density 20%)

Allowable Operating Range at  $T_a = 25^\circ\text{C}$

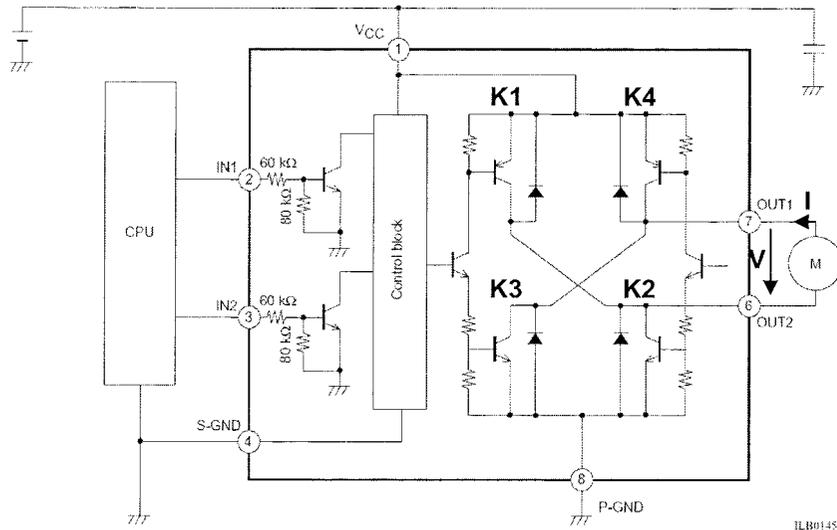
Parameter	Symbol	Conditions	Ratings	Unit
Supply voltage	$V_{CC}$		2.2 to 10	V
Input high-level voltage	$V_{IH}$		2.0 to 9.5	V
Input low-level voltage	$V_{IL}$		-0.3 to +0.3	V

Electrical Characteristics at  $T_a = 25^\circ\text{C}$ ,  $V_{CC} = 3\text{V}$

Parameter	Symbol	Conditions	Ratings			Unit
			min	typ	max	
Circuit Current	$I_{CC1}$	Standby		0.1	5	$\mu\text{A}$
	$I_{CC2}$	Forward/reverse drive		14	19	mA
	$I_{CC3}$	Brake		20	29	mA
Output saturation voltage	$V_{OSat1}$	Upper+lower $I_O = 100\text{ mA}$ for forward/ reverse rotation		0.15	0.2	V
	$V_{OSat2}$	Upper+lower $I_O = 300\text{ mA}$ for forward/ reverse rotation		0.35	0.5	V
	$V_{OSat3}$	Upper $I_O = 100\text{ mA}$ for braking		0.1	0.15	V
Spark killer diode forward voltage	$V_{SF}$	$I_O = 300\text{ mA}$		0.9	1.7	V
Spark killer diode inverse current	$I_{RS}$	$V_{OUT} = 10\text{ V}$		0.1	5	$\mu\text{A}$
Input current	$I_{IN}$	$V_{IN} = 5\text{ V}$		75	98	$\mu\text{A}$
Thermal protection operating temperature	TSD	Design target value*		180		$^\circ\text{C}$

Note: \* Design target value : Measurement with a single unit not made.

## Truth Table



# DT6 : Transistor 2SC4250

**TOSHIBA**

2SC4250

TOSHIBA Transistor Silicon NPN Epitaxial Planar Type

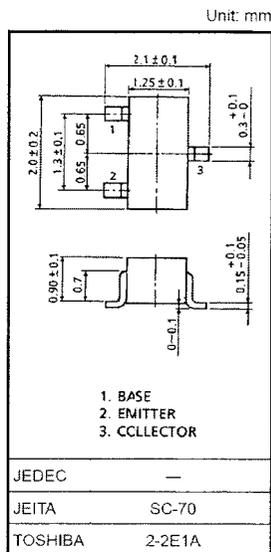
## 2SC4250

TV VHF Mixer Applications

- High conversion gain:  $G_{ce} = 25\text{dB}$  (typ.)
- Low reverse transfer capacitance:  $C_{re} = 0.45\text{ pF}$  (typ.)

Maximum Ratings ( $T_a = 25^\circ\text{C}$ )

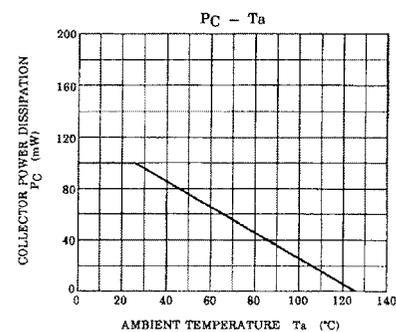
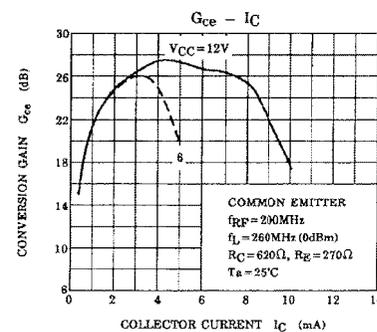
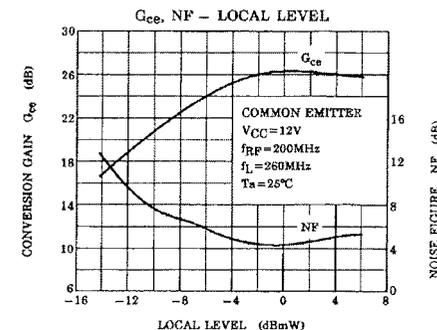
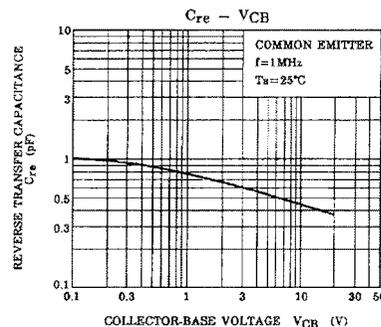
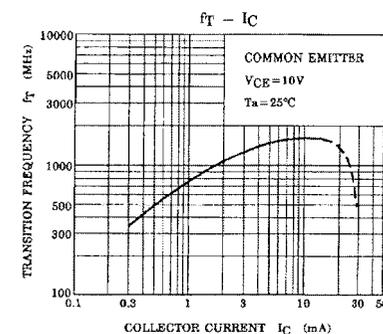
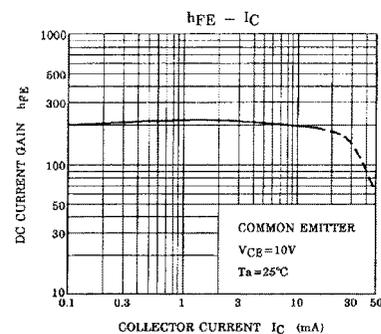
Characteristics	Symbol	Rating	Unit
Collector-base voltage	$V_{CBO}$	30	V
Collector-emitter voltage	$V_{CEO}$	20	V
Emitter-base voltage	$V_{EBO}$	3	V
Collector current	$I_C$	50	mA
Base current	$I_B$	25	mA
Collector power dissipation	$P_C$	100	mW
Junction temperature	$T_j$	125	$^\circ\text{C}$
Storage temperature range	$T_{stg}$	-55-125	$^\circ\text{C}$



Weight: 0.006 g (typ.)

Electrical Characteristics ( $T_a = 25^\circ\text{C}$ )

Characteristics	Symbol	Test Condition	Min	Typ	Max	Unit
Collector cut-off current	$I_{CBO}$	$V_{CB} = 25\text{ V}, I_E = 0$	—	—	100	nA
Emitter cut-off current	$I_{EBO}$	$V_{EB} = 3\text{ V}, I_C = 0$	—	—	1000	nA
Collector-emitter breakdown voltage	$V_{(BR)CEO}$	$I_C = 1\text{ mA}, I_B = 0$	20	—	—	V
DC current gain	$h_{FE}$	$V_{CE} = 10\text{ V}, I_C = 5\text{ mA}$	40	150	300	
Reverse transfer capacitance	$C_{re}$	$V_{CB} = 10\text{ V}, I_E = 0, f = 1\text{ MHz}$	—	0.45	0.6	pF
Transition frequency	$f_T$	$V_{CE} = 10\text{ V}, I_C = 5\text{ mA}$	900	1400	—	MHz
Conversion gain	$G_{ce}$	$V_{CC} = 12\text{ V}, f = 200\text{ MHz}, f_L = 260\text{ MHz}$	20	25	—	dB
Noise figure	NF		—	4.3	6	dB



# DT7 : Codage JPEG

## 4.3 DCT-based coding

Figure 4 shows the main procedures for all encoding processes based on the DCT. It illustrates the special case of a single-component image; this is an appropriate simplification for overview purposes, because all processes specified in this Specification operate on each image component independently.

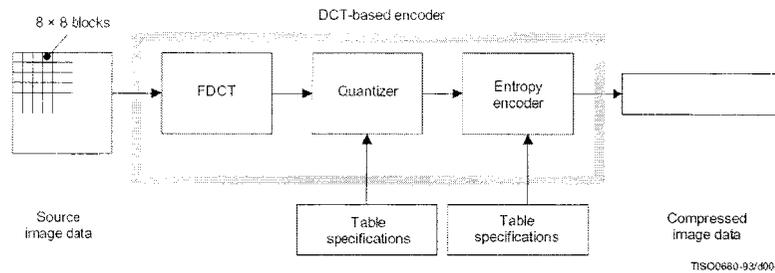


Figure 4 – DCT-based encoder simplified diagram

In the encoding process the input component's *samples* are grouped into  $8 \times 8$  *blocks*, and each block is transformed by the *forward DCT* (FDCT) into a set of 64 values referred to as *DCT coefficients*. One of these values is referred to as the *DC coefficient* and the other 63 as the *AC coefficients*.

Each of the 64 coefficients is then *quantized* using one of 64 corresponding values from a *quantization table* (determined by one of the table specifications shown in Figure 4). No default values for quantization tables are specified in this Specification; applications may specify values which customize picture quality for their particular image characteristics, display devices, and viewing conditions.

After quantization, the DC coefficient and the 63 AC coefficients are prepared for *entropy encoding*, as shown in Figure 5. The previous quantized DC coefficient is used to predict the current quantized DC coefficient, and the difference is encoded. The 63 quantized AC coefficients undergo no such differential encoding, but are converted into a one-dimensional *zig-zag sequence*, as shown in Figure 5.

The quantized coefficients are then passed to an entropy encoding procedure which compresses the data further. One of two entropy coding procedures can be used, as described in 4.6. If *Huffman encoding* is used, *Huffman table specifications* must be provided to the encoder. If *arithmetic encoding* is used, *arithmetic coding conditioning table specifications* may be provided, otherwise the default conditioning table specifications shall be used.

Figure 6 shows the main procedures for all DCT-based decoding processes. Each step shown performs essentially the inverse of its corresponding main procedure within the encoder. The entropy decoder decodes the zig-zag sequence of quantized DCT coefficients. After *dequantization* the DCT coefficients are transformed to an  $8 \times 8$  block of samples by the *inverse DCT* (IDCT).

## 4.4 Lossless coding

Figure 7 shows the main procedures for the lossless encoding processes. A *predictor* combines the reconstructed values of up to three neighbourhood samples at positions a, b, and c to form a prediction of the sample at position x as shown in Figure 8. This prediction is then subtracted from the actual value of the sample at position x, and the difference is losslessly entropy-coded by either Huffman or arithmetic coding.

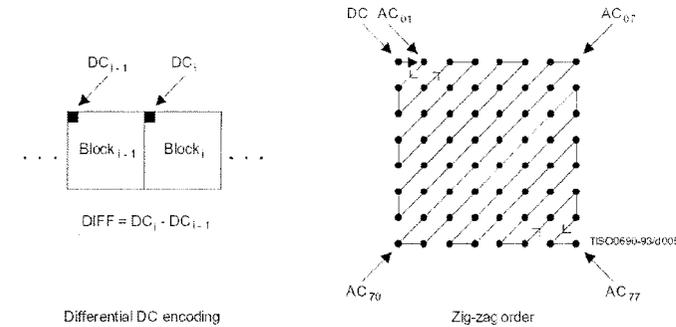


Figure 5 – Preparation of quantized coefficients for entropy encoding

## A.3 DCT compression

### A.3.1 Level shift

Before a non-differential frame encoding process computes the FDCT for a block of source image samples, the samples shall be level shifted to a signed representation by subtracting  $2^{P-1}$ , where P is the precision parameter specified in B.2.2. Thus, when  $P = 8$ , the level shift is by 128; when  $P = 12$ , the level shift is by 2048.

After a non-differential frame decoding process computes the IDCT and produces a block of reconstructed image samples, an inverse level shift shall restore the samples to the unsigned representation by adding  $2^{P-1}$  and clamping the results to the range 0 to  $2^P - 1$ .

### A.3.2 Orientation of samples for FDCT computation

Figure A.4 shows an image component which has been partitioned into  $8 \times 8$  blocks for the FDCT computations. Figure A.4 also defines the orientation of the samples within a block by showing the indices used in the FDCT equation of A.3.3.

The definitions of block partitioning and sample orientation also apply to any DCT decoding process and the output reconstructed image. Any sample added by an encoding process to complete partial MCUs shall be removed by the decoding process.

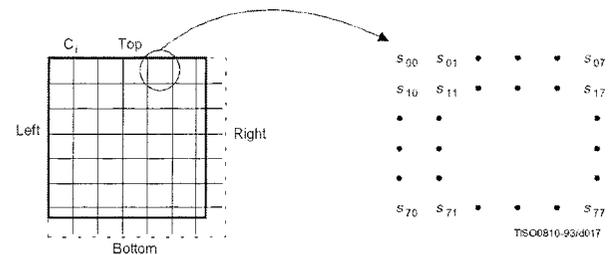


Figure A.4 – Partition and orientation of  $8 \times 8$  sample blocks

# DT7 : Codage JPEG

## A.3.3 FDCT and IDCT (informative)

The following equations specify the ideal functional definition of the FDCT and the IDCT.

NOTE – These equations contain terms which cannot be represented with perfect accuracy by any real implementation. The accuracy requirements for the combined FDCT and quantization procedures are specified in Part 2 of this Specification. The accuracy requirements for the combined dequantization and IDCT procedures are also specified in Part 2 of this Specification.

$$\text{FDCT: } S_{vu} = \frac{1}{4} C_u C_v \sum_{x=0}^7 \sum_{y=0}^7 s_{vx} \cos \frac{(2x+1)u\pi}{16} \cos \frac{(2y+1)v\pi}{16}$$

$$\text{IDCT: } s_{vx} = \frac{1}{4} \sum_{u=0}^7 \sum_{v=0}^7 C_u C_v S_{vu} \cos \frac{(2x+1)u\pi}{16} \cos \frac{(2y+1)v\pi}{16}$$

where

$$C_u, C_v = 1/\sqrt{2} \text{ for } u, v = 0$$

$$C_u, C_v = 1 \text{ otherwise}$$

otherwise.

## A.3.4 DCT coefficient quantization (informative) and dequantization (normative)

After the FDCT is computed for a block, each of the 64 resulting DCT coefficients is quantized by a uniform quantizer. The quantizer step size for each coefficient  $S_{vu}$  is the value of the corresponding element  $Q_{vu}$  from the quantization table specified by the frame parameter  $Tq_i$  (see B.2.2).

$$Sq_{vu} = \text{round} \left( \frac{S_{vu}}{Q_{vu}} \right)$$

$Sq_{vu}$  is the quantized DCT coefficient, normalized by the quantizer step size.

NOTE – This equation contains a term which may not be represented with perfect accuracy by any real implementation. The accuracy requirements for the combined FDCT and quantization procedures are specified in Part 2 of this Specification.

At the decoder, this normalization is removed by the following equation, which defines dequantization:

$$R_{vu} = Sq_{vu} \times Q_{vu}$$

NOTE – Depending on the rounding used in quantization, it is possible that the dequantized coefficient may be outside the expected range.

## A.3.5 Differential DC encoding

After quantization, and in preparation for entropy encoding, the quantized DC coefficient  $Sq_{00}$  is treated separately from the 63 quantized AC coefficients. The value that shall be encoded is the difference (DIFF) between the quantized DC coefficient of the current block ( $DC_i$  which is also designated as  $Sq_{00}$ ) and that of the previous block of the same component (PRED):

$$\text{DIFF} = DC_i - \text{PRED}$$

## A.3.6 Zig-zag sequence

After quantization, and in preparation for entropy encoding, the quantized AC coefficients are converted to the zig-zag sequence. The quantized DC coefficient (coefficient zero in the array) is treated separately, as defined in A.3.5. The zig-zag sequence is specified in Figure A.6.

## A.4 Point transform

For various procedures data may be optionally divided by a power of 2 by a point transform prior to coding. There are three processes which require a point transform: lossless coding, lossless differential frame coding in the hierarchical mode, and successive approximation coding in the progressive DCT mode.

In the lossless mode of operation the point transform is applied to the input samples. In the difference coding of the hierarchical mode of operation the point transform is applied to the difference between the input component samples and the reference component samples. In both cases the point transform is an integer divide by  $2^{Pt}$ , where  $Pt$  is the value of the point transform parameter (see B.2.3).

In successive approximation coding the point transform for the AC coefficients is an integer divide by  $2^{A1}$ , where  $A1$  is the successive approximation bit position, low (see B.2.3). The point transform for the DC coefficients is an arithmetic-shift-right by  $A1$  bits. This is equivalent to dividing by  $2^{Pt}$  before the level shift (see A.3.1).

The output of the decoder is rescaled by multiplying by  $2^{Pt}$ . An example of the point transform is given in K.10.

0	1	5	6	14	15	27	28
2	4	7	13	16	26	29	42
3	8	12	17	25	30	41	43
9	11	18	24	31	40	44	53
10	19	23	32	39	45	52	54
20	22	33	38	46	51	55	60
21	34	37	47	50	56	59	61
35	36	48	49	57	58	62	63

Figure A.6 – Zig-zag sequence of quantized DCT coefficients

# DT8 : Schéma Acquisition

